

ГЛАВА 5. ЦЕНТРАЛЬНЫЕ ПРОЦЕССОРЫ И ДРУГИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ МИКРОПРОЦЕССОРНЫХ КОМПЛЕКТОВ .....	113
5.1. Общие сведения о микропроцессорах .....	113
5.2. Упрощенная архитектура ЭВМ .....	117
5.3. Параметры, архитектура и номенклатура СБИС универсальных центральных процессоров .....	120
5.4. СБИС микроконтроллеров и их номенклатура .....	139
5.5. БИС аппаратного обрамления микропроцессоров .....	144
ГЛАВА 6. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ МАССОВОГО ПРИМЕНЕНИЯ .....	147
6.1. Элементы схемотехники аналоговых ИС .....	147
6.2. Основные принципы построения ОУ .....	149
6.3. Параметры и номенклатура ОУ .....	154
6.4. Типовые варианты использования ОУ .....	162
6.5. Структура и разновидности ИС компараторов .....	168
ГЛАВА 7. МИКРОСХЕМЫ АНАЛОГО-ЦИФРОВОГО И ЦИФРОАНАЛОГОВОГО ПРЕОБРАЗОВАНИЯ .....	177
7.1. Структурные решения и номенклатура БИС АЦП .....	179
7.2. Структурные решения и номенклатура БИС ЦАП .....	192
7.3. Основные параметры АЦП и ЦАП и требования к ним .....	198
ЗАКЛЮЧЕНИЕ .....	204
БИБЛИОГРАФИЧЕСКИЙ СПИСОК .....	206

Федеральное агентство по образованию  
Государственное образовательное учреждение высшего профессионального образования  
Ульяновский государственный технический университет

**В. В. ГАЙТАН**

## **ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ**

**Структурные решения, параметры,  
номенклатура**

Ульяновск 2006

УДК 621.396 (075)  
ББК 32.84 я7  
Г14

Утверждено редакционно-издательским советом  
университета в качестве учебного пособия

Г14 **Гайтан В. В.** Интегральные микросхемы. Структурные решения, параметры, номенклатура : учебное пособие / В. В. Гайтан. – Ульяновск : УлГТУ, 2006. – 207 с.

ISBN 5-89146-815-8

Рассматриваются особенности функционирования аналоговых и цифровых систем, основные параметры и их взаимосвязь.

Приводятся общие сведения об интегральных микросхемах (ИС), особенности их конструктивно-технологической реализации. Рассматриваются структуры, номенклатура и параметры широкого класса цифровых ИС от простейших логических элементов до высокопроизводительных БИС центральных процессоров ЭВМ, а также современных аналоговых ИС и микросхем аналого-цифрового и цифроаналогового преобразования.

Главная цель пособия – помочь студенту ознакомиться с особенностями реализации различных универсальных ИС, научиться ориентироваться в их номенклатуре и параметрах. В пособии приведены многочисленные структуры ИС, их конкретные типы, особенности применения.

Пособие предназначено для студентов, изучающих микросхемотехнику, электронику и электропривод.

Работа подготовлена на кафедре ЛиТЭС.

УДК 621.396 (075)  
ББК 32.84 я7

ISBN 5-89146-815-8

© Гайтан В. В., 2006  
© Оформление. УлГТУ, 2006

## ОГЛАВЛЕНИЕ

СПИСОК УСЛОВНЫХ СОКРАЩЕНИЙ И ОБОЗНАЧЕНИЙ .....	5
ВВЕДЕНИЕ .....	7
ГЛАВА 1. ОСОБЕННОСТИ ПРЕДСТАВЛЕНИЯ ИНФОРМАЦИИ В ФОРМЕ ЭЛЕКТРИЧЕСКИХ СИГНАЛОВ .....	11
1.1. Логические сигналы и коды .....	12
1.2. Аналоговые сигналы и функции, реализуемые аналоговыми устройствами .....	20
1.3. Соответствие характеристик аналоговых и цифровых устройств при их совместной работе .....	22
ГЛАВА 2. ОБЩИЕ СВЕДЕНИЯ ОБ ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ .....	25
2.1. Классификация ИС .....	25
2.2. Обозначение и маркировка микросхем .....	27
2.3. Особенности конструктивно-технологической реализации микросхем .....	35
ГЛАВА 3. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ МАЛОЙ И СРЕДНЕЙ СТЕПЕНИ ИНТЕГРАЦИИ .....	39
3.1. Система параметров цифровых ИС .....	39
3.2. Базовые логические элементы .....	41
3.3. Комбинационные устройства .....	60
3.4. Узлы с запоминанием информации .....	69
ГЛАВА 4. БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ ЗАПОМИНАЮЩИХ УСТРОЙСТВ .....	89
4.1. Классификация и характеристики полупроводниковых ЗУ ...	89
4.2. Общие принципы построения БИС ЗУ .....	92
4.3. Особенности реализации запоминающих элементов и номенклатура БИС ЗУ .....	97
4.4. Организация модулей полупроводниковой памяти .....	107

Успехи микрорелектронных конструкций и технологий в 70-х гг. обусловили гигантский качественный рост характеристик электронных средств и стали возможными благодаря реализации целого комплекса дорогостоящих проектов:

– созданием сверхчистых материалов и изучением их свойств;

– разработкой совершенных методов выращивания и обработки полупроводниковых кристаллов и создания в их объеме и на поверхности электронных узлов с прогнозируемыми и управляемыми параметрами;

– компьютерным моделированием полупроводниковых структур и их режимов.

**3. Реализация доступных широким слоям потребителей эффективных электронных средств, обусловившая глобальную информатизацию и интеллектуализацию всех сфер деятельности человека.**

Этот процесс проходит как по пути совершенствования систем управления объектами в военной технике, на транспорте и в промышленности, так и по пути обеспечения совершенно новых возможностей науки, медицины, образования.

К концу 70-х гг. интегральные микросхемы (ИС) превращаются в основной электронный компонент, уверенно вытеснив остатки ламповых и многих транзисторных устройства. К этому периоду относится появление весьма компактных и экономичных аналоговых микрорелектронных устройств, таких как операционные усилители, компараторы, узлы радиоприемных устройств, позволивших решить многие задачи при обработке аналоговой информации в измерительной технике, средствах связи и телевидения, системах управления.

Цифровые микросхемы были реализованы сначала в виде относительно простых устройств, выполняющих функции логических элементов, комбинационных устройств, узлов с памятью, а затем и микропроцессоров, параметры которых быстро совершенствовались.

Появившись в начале 70-х, микропроцессоры за какой-то десяток лет превратились из экзотической новинки в привычное и удобное средство многих исследователей и инженеров.

## СПИСОК УСЛОВНЫХ СОКРАЩЕНИЙ И ОБОЗНАЧЕНИЙ

- АИС – аналоговая интегральная схема  
АЛУ – арифметико-логическое устройство  
АЦП – аналого-цифровой преобразователь  
АЧХ – амплитудно-частотная характеристика  
БиКМОП – биполярно-комплементарная металлоокисная полупроводниковая структура  
БИС – большая интегральная схема  
ДУ – дифференциальный усилитель  
ЗЭ – запоминающий элемент  
ЗУ – запоминающее устройство  
ИИЛ – интегральная инжекционная логика  
ИС – интегральная схема  
КМОП – комплементарная металлоокисная полупроводниковая структура  
МОП – металло-окисная полупроводниковая структура  
nМОП – структура МОП с полупроводником n-типа  
pМОП – структура МОП с полупроводником p-типа  
МП – микропроцессор  
ОЗУ – оперативное запоминающее устройство  
ОС – обратная связь  
ОУ – операционный усилитель  
ПДП – прямой доступ к памяти  
ПЗУ – постоянное запоминающее устройство

**ППЗУ** – программируемое постоянное запоминающее устройство  
**РПП** – регистр последовательных приближений  
**РППЗУ** – репрограммируемое постоянное запоминающее устройство  
**СБИС** – сверхбольшая интегральная схема  
**ТТЛ** – транзисторно-транзисторная логика  
**ТТЛШ** – транзисторно-транзисторная логика с диодами Шоттки  
**УВВ** – устройство ввода/вывода  
**УВХ** – устройство выборки/хранения  
**УС** – устройство синхронизации  
**ЦАП** – цифроаналоговый преобразователь  
**ЦП** – центральный процессор  
**ША** – шина адреса  
**ШД** – шина данных  
**ШИМ** – широтно-импульсная модуляция  
**ШУ** – шина управления  
**ЭСЛ** – эмиттерно-сопряженная логика

## ВВЕДЕНИЕ

Вторая половина XX в. ознаменовалась грандиозными успехами в электронике, которая является комплексом многих направлений науки и техники. Эти успехи материализованы, прежде всего, в системах сбора, преобразования и хранения информации, применяющихся во многих сферах жизнедеятельности человека и неразрывно связаны с совершенствованием элементной базы электронных средств.

В этом процессе можно выделить три этапа:

**1. Создание электронных средств, функции которых замыкались на решения строго конкретных задач.**

Вначале это были задачи связи и отдельные вопросы физических измерений.

Затем, уже в 40-х гг. XX в., военные цели потребовали электронные средства локации мобильных объектов в авиации и морском флоте, в средствах противовоздушной обороны.

**2. Разработка и реализация сложных электронных средств управления мобильными объектами, энергетическими системами, технологическими процессами (50–80-е гг. XX в.).**

Острое военное противостояние времен «холодной войны» стимулировало гигантские инвестиции в авиацию, космонавтику, ядерную физику, что потребовало реализации соответствующих электронных средств сбора, хранения и обработки информации.

Одновременно решались задачи энергетики и промышленности.

Электронная аппаратура вплоть до 70-х гг. была ламповой, а значит весьма дорогостоящей, громоздкой, потребляющей колоссальное количество электроэнергии. Поэтому далеко не в каждой потенциальной области применения можно было позволить ее использование.

Внедрение полупроводниковых компонентов в виде дискретных транзисторов и диодов уже в 60-х гг. позволило снабдить средствами измерений науку и технику, сделать гораздо более доступными системы телекоммуникаций, автоматизировать некоторые технологические процессы.

Куда более в этом направлении преуспели разработчики цифровых систем обработки информации. В настоящее время практически любая цифровая система по мере достижения определенной сложности содержит ЭВМ в виде процессорного элемента или контроллера. Это резко повышает *гибкость* системы при решении различных задач, что связано с возможностью изменения алгоритмов работы за счет перепрограммирования.

На ЭВМ, как на интеллектуальный узел, в любой электронной системе возлагаются следующие задачи:

- обработка данных по какому-либо алгоритму;
- оценка измеренных параметров, например, путем сравнения их либо с данными, заложенными в программе, либо с полученными в результате расчетов;
- представление результатов вычислений или измерений оператору;
- управление хранением и перемещением информации;
- выработка необходимых для исполнительных устройств воздействий.

### 1.1. ЛОГИЧЕСКИЕ СИГНАЛЫ И КОДЫ

Для цифровых систем характерным является оперирование логическими сигналами. К их основным функциям можно отнести следующие:

- прием;
- хранение;
- преобразование (обработку);
- выдачу информации.

Параметры логических сигналов, в отличие от аналоговых, принимают фиксированные значения из ограниченного множества. Элементы этого множества кодируются цифрами и в большинстве случаев это множество в пределах одного информационного канала имеет два значения: логический «ноль» – «0» (низкий уровень) и логическая «единица» – «1» (высокий уровень) (рис. 1.1). *Логические «1» и «0» имеют только информационное значение и характеризуют реальную величину условия.*

Но настоящая революция началась в начале 90-х гг. Появление высокопроизводительных компьютеров позволило выйти на качественно иной уровень при решении разнородных задач, где ЭВМ является звеном, управляющим процессом сбора информации, алгоритмами обработки и представления ее человеку, многое из которого было ранее невозможно.

Этот период характеризуется:

- *превращением компьютера из узкопрофессионального инструмента в доступное средство интеллектуализации многих сфер деятельности человека;*
- *созданием специальных и глобальных информационных систем и сетей;*
- *обеспечением принципиально новых возможностей информационно-измерительных систем как средств получения информации о параметрах различных объектов и воздействиях на эти параметры.*

Такие впечатляющие результаты стали возможны благодаря развитию цифровых методов обработки и преобразования информации. Причины такого бурного развития заключаются в следующих особенностях цифровых устройств.

Оперирование многоуровневыми логическими сигналами преимущественно двоичной формы предполагает большую аппаратную избыточность цифровых средств по сравнению с аналоговыми. Однако цифровые средства состоят из большого количества однородных устройств, к параметрам которых не предъявляется жестких требований. Отсюда высокая степень технологической воспроизводимости цифровых микросхем и, как следствие, их низкая стоимость.

В результате вначале вычислительная техника стала полностью цифровой, затем традиционно аналоговые средства связи и, наконец, техника записи, передачи и воспроизведения изображений.

Современный уровень цифровой техники характеризуется наличием сверхбольших ИС (СБИС) центральных процессоров ЭВМ с 32- и 64-разрядной архитектурой и частотой синхронизации 3–4 ГГц.

Не отстают от них и другие компоненты ЭВМ – микросхемы оперативной памяти, информационная емкость которых составляет десятки Мбит. Это стало возможным благодаря таким рекордным достижениям, как размещение на полупроводниковом кристалле свыше 100 млн транзисторов, реализованных с технологическим разрешением 0,09...0,13 мкм, снижением питающих напряжений до 1,5 В и рядом других эффективных мероприятий.

Такие успехи цифровых информационных технологий и средств, их реализующих, отнюдь не означают полное вытеснение аналоговых устройств из электроники. Дело в том, что поведение подавляющего большинства объектов и процессов материального мира описывается аналоговыми законами и сразу их параметры не могут быть оцифрованными, поскольку сигналы с датчиков физических величин зачастую имеют очень небольшое значение. Да и сам процесс оцифровки, т. е. аналого-цифрового преобразования на уровне 14...18 двоичных разрядов, весьма непрост из-за необходимости использования высокоточных измерительных шкал и средств сравнения. Все это требует применения прецизионной элементной базы, работающей с широкими спектрами сигналов в значительном динамическом диапазоне.

В частности, к настоящему времени удалось реализовать аналоговые и аналого-цифровые микросхемы весьма высокоточными – с напряжением смещения операционных усилителей не более 5 мкВ, что позволяет использовать их практически со всеми известными датчиками электрических сигналов. Динамический диапазон современных аналого-цифровых преобразователей содержит до нескольких млн устойчиво различимых точек, что соответствует 20...24 двоичным разрядам или приведенной погрешности не хуже 0,0001 %.

Современная элементная база имеет сложную внутреннюю структуру, специфические параметры и особенности применения, что показывает важность изучения данных вопросов в процессе подготовки радиотехников. Этим целям и посвящено настоящее пособие.

## ГЛАВА 1. ОСОБЕННОСТИ ПРЕДСТАВЛЕНИЯ ИНФОРМАЦИИ В ФОРМЕ ЭЛЕКТРИЧЕСКИХ СИГНАЛОВ

Развитие науки и техники неразрывно связано с получением исчерпывающей информации об объекте исследования, с ее обработкой, т. е. с получением качественно новых знаний, и с управлением поведением этого объекта. Опыт данного развития убедительно свидетельствует о приоритете представления данной информации в форме электрических сигналов. Практически все физические явления можно представить в виде аналоговых сигналов, непрерывных во времени и принимающих бесконечное множество значений. Поэтому входные устройства любых информационно-измерительных систем являются аналоговыми. При этом аналоговые сигналы обрабатываются в *одноканальных* устройствах *в реальном масштабе времени*, т. е. без запоминания, что является несомненным достоинством аналоговых устройств, поскольку предполагает простоту и оперативность получения необходимой информации.

Однако по мере развития техники возникает ряд задач, решение которых затруднительно или невозможно при использовании только аналоговых устройств. К таким задачам, к примеру, можно отнести сложную математическую обработку информации в средствах связи и локации, а также в области физических и естественнонаучных исследований.

Следует отметить, что в 60–70-е гг. были попытки – с неплохим эффектом – использовать аналоговые устройства для выполнения математических операций. Однако в силу узкой специализации аналоговых вычислительных узлов это направление не получило дальнейшего развития. Действительно, для того, чтобы заставить аналоговую систему работать по другому алгоритму, необходимо изменить схемные связи (т. е. в первую очередь печатную плату) и, вероятнее всего, применить другие компоненты – микросхемы, резисторы и т. п.

Поэтому ученые и инженеры никогда и не пытались создать аналоговую электронную систему, универсально решающую различные задачи.

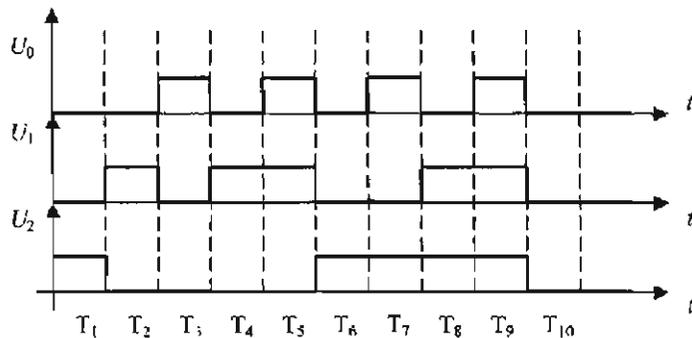


Рис. 1.2

На рисунке рассмотрено несколько состояний кода в соответствующем числе тактов  $T$ . Эти состояния называются иногда словами. В табл. 1.1 приведены в соответствие числа в двоичном коде и десятичном одиоразрядном коде. В тактах  $T_1, T_2$  числам 4 и 2 соответствуют коды 100 и 010.

Таблица 1.1

Такты	Дес. код	$U_0$	$U_1$	$U_2$
$T_1$	4	1	0	0
$T_2$	2	0	1	0
$T_3$	1	0	0	1
$T_4$	2	0	1	0
$T_5$	3	0	1	1
$T_6$	4	1	0	0
$T_7$	5	1	0	1
$T_8$	6	1	1	0
$T_9$	7	1	1	1
$T_{10}$	0	0	0	0

В тактах  $T_3$ - $T_9$  код  $U$  возрастает от 1 до 7 и в такте  $T_{10}$  равен 0. Таким образом, с помощью трехразрядного двоичного кода могут быть представлены восемь чисел: от 0 до 7. В общем слу-

чае разрядность  $N$  натурального двоичного кода связана с максимально представимым десятичным числом следующим соотношением:

$$n = 2^N,$$

где  $n$  – число комбинаций в двоичном коде разрядностью  $N$ , т. е. количество информации. Единицей измерения информации является 1 бит – это количество содержит один двоичный разряд. Другой единицей является байт – это количество содержат 8 двоичных разрядов.

### Последовательный код

Эта форма представления сигнала имеет полноценный смысл в пределах определенного количества тактов, причем разрядность этого кода равна этому количеству. Очень распространенная операция в цифровых системах – это *преобразование параллельного кода в последовательный* и наоборот. В тактах  $T_1$ - $T_{10}$  (рис. 1.3) присутствует 10-разрядный код 1101110010. По сути, это параллельный код, развернутый во времени.

Сравнивая две описанные формы, можно отметить следующее. Параллельный код, являясь более компактным по времени, в наибольшей степени распространен при оперировании двоичной информацией ядром ЭВМ, т. е. там, где требуется максимально высокая скорость выполнения действий над данными и их пересылки.

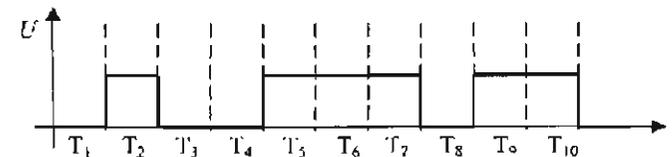


Рис. 1.3

При обмене высокоскоростных вычислительных устройств с более медленными периферийными устройствами или при объединении вычислительных структур в сеть более предпочтительным является применение последовательного кода. В этом случае минимизируются энергетические затраты и массогабаритные показатели.

Учитывая вышесказанное, можно сделать вывод, что разрядность цифровых систем является одной из основных их характеристик, поскольку однозначно определяет точность представления чисел в них, а также их производительность.

Очевидно также, что данные устройства должны обрабатывать логические сигналы по возможности с максимальной скоростью. В них быстродействие определяется минимально возможными интервалами времени смены информации.

При рассмотрении описанных форм представления сигналов необходимо отметить одну весьма важную особенность. *Тактирование или синхронизация* играет очень большую роль при представлении информации в цифровом виде. Тактирующий сигнал (периодический или аperiodический), как следует из рисунков 1.2 и 1.3, определяет время смены информации, то есть разделяет в параллельном коде слова, а в последовательном – биты между собой.

Поэтому при передаче и обработке информации тактирующий сигнал в большинстве цифровых устройств является обязательным, то есть подавляющее их большинство является устройствами синхронными. Принцип синхронности работы позволяет упорядочить процесс обработки и передачи информации и легко сочетать статику и динамику этих процессов.

### Виды параллельного кода

Наиболее часто используются следующие виды параллельного кода с различными разновидностями (табл. 1.2 и 1.3):

1. *натуральный двоичный код:*
  - а) прямой,
  - б) обратный,
  - в) дополнительный;
2. *код Грея;*
3. *двоично-десятичный код;*
4. *позиционный код;*
5. *семисегментный код.*

Для весьма распространенных цифровых логических схем ТТЛ и ГТЛШ лог. «0» и лог. «1» – это диапазоны напряжений от 0 до 0,35 В и от 2,4 до 4,5 В соответственно. Такие «расплывчатые» значения логических уровней существенно снижают требования к технологической воспроизводимости ИС.

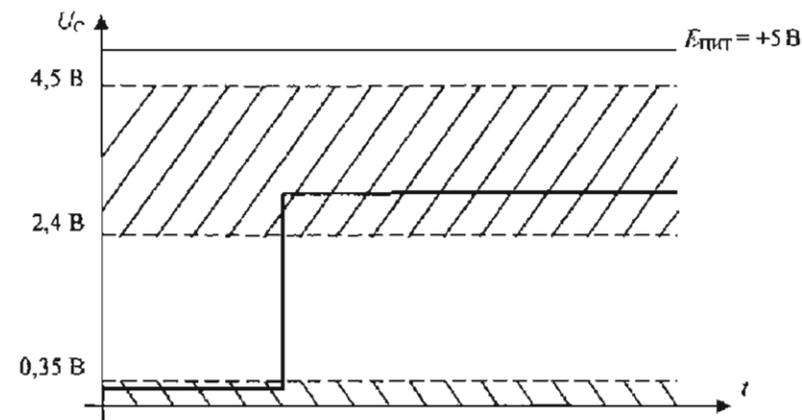


Рис. 1.1

Логический сигнал в одном-двух каналах малоинформационен и в этом случае интересен только при представлении так называемым **последовательным** кодом или же для целей управления и автоматики. Информационное значение логических сигналов возрастает с ростом числа разрядов, то есть сигналов в параллельных каналах. Совокупность сигналов в параллельных информационных каналах в случае, когда она рассматривается как одно целое, называется **параллельным** кодом.

Рассмотрим особенности представления информации параллельным и последовательным кодами, как двумя принципиально различными формами сигналов.

### Параллельный код

Временные диаграммы разрядных сигналов представлены на рис. 1.2. Как и любой цифровой системе счисления двоичной системе присуще понятие весов разрядов, в данном случае младший разряд обозначен как  $U_0$ , старший –  $U_2$ .

## 1.2. АНАЛОГОВЫЕ СИГНАЛЫ И ФУНКЦИИ, РЕАЛИЗУЕМЫЕ АНАЛОГОВЫМИ УСТРОЙСТВАМИ

Аналоговые устройства оперируют с сигналами, имеющими бесконечное множество значений электрического параметра. В связи с этим их передаточная характеристика должна иметь *непрерывный* характер – без разрывов и существенных нелинейностей.

Все функции, реализуемые аналоговыми устройствами, так или иначе могут быть разделены на несколько основных групп:

- масштабирование (усиление или ослабление);
- детектирование;
- сравнение;
- ограничение;
- математические операции;
- частотная фильтрация.

Перечисленные функции реализуются аналоговыми ИС, получившими массовое распространение. Это операционные усилители, компараторы, фазовые детекторы, перемножители, модуляторы, активные фильтры и др.

Аналоговые электрические сигналы обычно описываются такими характеристиками, как *динамический диапазон* и *ширина спектра сигнала*. Для аналоговых устройств характерны такие параметры, как *точность* и *время установления сигнала* в них.

*Динамическим диапазоном* называется отношение наибольшей мгновенной (так называемой пиковой) мощности сигнала к его наименьшей (часто называемой пороговой) мощности. Для удовлетворительного приема сообщений необходимо различать полезный сигнал на фоне помех и шумов, что диктует ограничения по пороговой мощности полезного сигнала. С другой стороны, чрезмерное увеличение мощности сигнала может привести к искажению его формы, а следовательно, и содержащейся в нем информации из-за ограниченной выходной мощности систем передачи. Появление таких искажений ставит предел наибольшей (пиковой) мощности сигнала. Под *точностью* аналоговых устройств обычно понимают их способность осуществлять свои функции с требуемой степенью соответствия идеальным требо-

В первом и втором видах имеется вполне определенное соответствие между кодовыми комбинациями внутри всей совокупности разрядов и их десятичными эквивалентами, причем отсутствует избыточность в двоичных разрядах при представлении десятичных чисел, то есть это наиболее компактные виды кодов.

Арифметические операции над двоичными числами могут производиться по тем же правилам, что и над десятичными. Однако с целью упрощения цифровых систем для выполнения вычитания, умножения, деления обычно применяются алгоритмы, не используемые в обычной десятичной арифметике.

Операцию *вычитания* в цифровых системах реализуют с помощью операции сложения, представляя вычитаемое в одном из специальных кодов, например в *обратном* коде. Данный код получается при замене всех лог. «0» на лог. «1» и, наоборот, в натуральном двоичном коде. Если представить вычитаемое, включая его знаковый разряд, в обратном коде, то можно получить разность путем арифметического сложения уменьшаемого (в обычном двоичном коде) и вычитаемого (в обратном коде) вместе с их знаковыми разрядами. Если в знаковом разряде образуется перенос, то эта лог. «1» прибавляется к младшему разряду суммы.

Для выполнения операций *сложения* и *вычитания* в цифровой системе удобно представлять отрицательные числа в обратном коде, а положительные – в обычном. Вычитание заменяется сложением с переводом вычитаемого в обратный код, если это число положительное, и в обычный код (то есть перевод второго числа в обратный код), если это число отрицательное. Если результат получается отрицательным (старший разряд  $Z_S = 1$ ), то он представлен в обратном коде, если положительным ( $Z_S = 0$ ) – в обычном двоичном коде.

В ряде случаев предпочтительнее использовать *дополнительный код* числа, который образуется из обратного прибавлением лог. «1» к младшему разряду. В дополнительном коде представляются все отрицательные числа. Вычитание заменяется сложением с переводом вычитаемого в дополнительный код, если это число положительное, или переводом из дополнительного кода в обычный, если вычитаемое отрицательное.

В коде Грея при переходе к следующей кодовой комбинации меняется состояние только одного разряда. Это также один из самых компактных видов представления цифровой информации. Перечисленные виды двоичных кодов представлены в табл. 1.2.

Таблица 1.2

Дес. число	Форма представления			
	Двоичное счисление	Обратный код	Дополнительный код	Циклический код Грея
A <sub>10</sub>	a <sub>3</sub> a <sub>2</sub> a <sub>1</sub> a <sub>0</sub>	a <sub>3</sub> a <sub>2</sub> a <sub>1</sub> a <sub>0</sub>	a <sub>3</sub> a <sub>2</sub> a <sub>1</sub> a <sub>0</sub>	a <sub>3</sub> a <sub>2</sub> a <sub>1</sub> a <sub>0</sub>
0	0 0 0 0	1 1 1 1	0 0 0 0	0 0 0 0
1	0 0 0 1	1 1 1 0	1 1 1 1	0 0 0 1
2	0 0 1 0	1 1 0 1	1 1 1 0	0 0 1 1
3	0 0 1 1	1 1 0 0	1 1 0 1	0 0 1 0
4	0 1 0 0	1 0 1 1	1 1 0 0	0 1 1 0
5	0 1 0 1	1 0 1 0	1 0 1 1	0 1 1 1
6	0 1 1 0	1 0 0 1	1 0 1 0	0 1 0 1
7	0 1 1 1	1 0 0 0	1 0 0 1	0 1 0 0
8	1 0 0 0	0 1 1 1	1 0 0 0	1 1 0 0
9	1 0 0 1	0 1 1 0	0 1 1 1	1 1 0 1
10	1 0 1 0	0 1 0 1	0 1 1 0	1 1 1 1
11	1 0 1 1	0 1 0 0	0 1 0 1	1 1 1 0
12	1 1 0 0	0 0 1 1	0 1 0 0	1 0 1 0
13	1 1 0 1	0 0 1 0	0 0 1 1	1 0 1 1
14	1 1 1 0	0 0 0 1	0 0 1 0	1 0 0 1
15	1 1 1 1	0 0 0 0	0 0 0 1	1 0 0 0

В двоично-десятичном коде каждые четыре разряда цифрового кода (тетрада) представляют один разряд десятичного числа. Иногда этот вид обозначают как «код 8-4-2-1».

В позиционном коде число разрядов равно числу состояний этого кода; часто лог. «0» или лог. «1» только в одном разряде указывают на его значение в 8-, 10- или 16-ричной системе счисления. Это наиболее избыточный вид цифрового кода и применяется не для выполнения вычислений, а для целей управления в устройствах автоматики и вычислительной техники.

Семисегментный код используется для управления семисегментными цифровыми индикаторами и формируется обычно из двоично-десятичного кода.

По аналогии с табл. 1.2, в табл. 1.3 представлены двоично-десятичный, позиционный и семисегментный виды кодов.

Таблица 1.3

Дес. число	Форма представления		
	Двоично-десятичный код	Позиционный код	Семисегментный код
A <sub>10</sub>	a <sub>3</sub> a <sub>2</sub> a <sub>1</sub>	a <sub>7</sub> a <sub>6</sub> a <sub>5</sub> a <sub>4</sub> a <sub>3</sub> a <sub>2</sub> a <sub>1</sub> a <sub>0</sub>	a b c d e f g
0	0 0 0	0 0 0 0 0 0 0 1	1 1 1 1 1 1 0
1	0 0 1	0 0 0 0 0 0 1 0	0 0 1 1 0 0 0
2	0 1 0	0 0 0 0 0 1 0 0	0 1 1 0 1 1 1
3	0 1 1	0 0 0 0 1 0 0 0	0 1 1 1 1 0 1
4	1 0 0	0 0 0 1 0 0 0 0	1 0 1 1 0 0 1
5	1 0 1	0 0 1 0 0 0 0 0	1 1 0 1 1 0 1
6	1 1 0	0 1 0 0 0 0 0 0	1 1 0 1 1 1 1
7	1 1 1	1 0 0 0 0 0 0 0	0 1 1 1 0 0 0

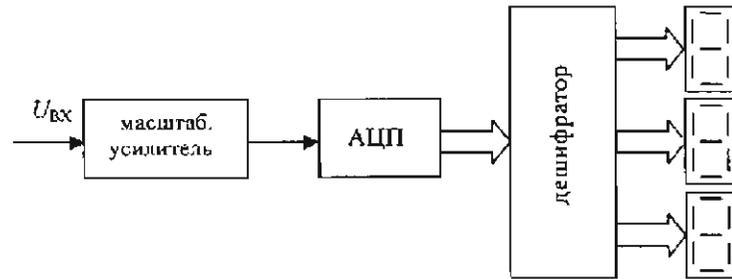


Рис. 1.5

Что касается соответствия быстродействия аналоговых и цифровых устройств, то в общем случае эта проблема решается с учетом теоремы Котельникова-Найквиста

$$f_{\text{в}} \leq \frac{1}{2 \cdot T_{\text{пр}}},$$

где  $f_{\text{в}}$  – верхнее значение частотного диапазона сигнала, которым нельзя пренебречь без потери нужного объема информации;  $T_{\text{пр}}$  – период дискретизации сигнала.

Применительно к цифровому вольтметру эта проблема решается весьма просто, ведь частота смены информации на его индикаторе определяется низкой частотой мелькания глаза  $\leq 25$  Гц.

ваниям в необходимом динамическом диапазоне, с определенной степенью устойчивости к дестабилизирующим факторам. Часто единица измерения степени точности соответствует пороговому значению соответствующего параметра сигнала.

К большинству аналоговых и аналого-цифровых устройств предъявляется требование *линейности* передаточной характеристики, поскольку линейные соотношения чаще всего являются наиболее удобными. В таких случаях точность характеризуют дифференциальной или интегральной нелинейностью (рис. 1.4).

Виды передаточных характеристик (ПХ) аналоговых устройств:

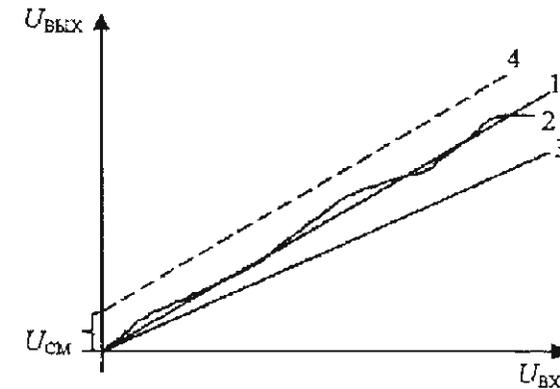


Рис. 1.4

- 1 – идеальная ПХ;
- 2 – ПХ с дифференциальной нелинейностью;
- 3 – ПХ с интегральной нелинейностью;
- 4 – ПХ с напряжением смещения

*Дифференциальная нелинейность* – это флуктуация значений характеристики относительно идеальной; *интегральная* – поворот характеристики. Кроме того, существенный вклад в погрешности вносит так называемый *дрейф нуля*, или *напряжение смещения*, который смещает передаточную характеристику. Нелинейности возникают, в основном, из-за нелинейного характера ВАХ  $p$ - $n$  перехода, разницы в работе устройств в режимах малого и большого сигналов, неточной установки опорных напряжений и т. п.

Время установления выходного сигнала и ширина спектра сигнала также являются взаимосвязанными характеристиками, и их выбор зависит от конкретной решаемой задачи. В принципе можно было бы обойтись только одной из характеристик, однако в силу того, что назначение устройств не одинаково, в одних случаях удобно пользоваться спектральными представлениями, в других – временными.

### 1.3. СООТВЕТСТВИЕ ХАРАКТЕРИСТИК АНАЛОГОВЫХ И ЦИФРОВЫХ УСТРОЙСТВ ПРИ ИХ СОВМЕСТНОЙ РАБОТЕ

Как было показано выше, основными функциональными параметрами, однозначно характеризующими цифровые устройства, являются:

- разрядность обрабатываемых кодов;
- быстрдействие при выполнении основных функций.

К соответствующим характеристикам аналоговых устройств относятся:

- точность воспроизведения передаточной характеристики в требуемом динамическом диапазоне;
- время установления, т. е. быстрдействие, как реакция на входной сигнал.

Если учесть, что определенным числом разрядов цифрового кода представляется определенное максимальное число, которому можно привести в соответствие верхнее значение динамического диапазона аналогового сигнала, то выявляется соответствие между диапазоном чисел, представляемых кодом, и диапазоном значений аналогового сигнала. При этом необходимо из бесконечного множества значений аналогового сигнала выбрать конечное множество, т. е. произвести округление. Наличие операции округления предполагает при восстановлении аналоговой функции из кодовых комбинаций появление определенной погрешности, величина которой обратно пропорциональна разрядности кода. Поэтому данную погрешность в оцифрованных точках можно считать идентичной погрешности воспроизведения передаточной характеристики аналоговых устройств.

Достаточно удобной характеристикой погрешности обеих разновидностей устройств оказывается приведенная погрешность  $\gamma$  (приведена к концу динамического диапазона или диапазона чисел):

- для аналоговых устройств, где  $\Delta x$  – абсолютная погрешность

$$\gamma_A = \frac{\Delta x}{X_{\max}} \cdot 100 \% ;$$

- цифровых устройств, где  $N$  – число разрядов кода

$$\gamma_c = \frac{1}{2^N} \cdot 100 \% .$$

Очевидно, что и  $\gamma_A$  и  $\gamma_c$  соответствуют пороговому значению динамического диапазона. Рассмотрим, как практически можно оперировать параметрами различных устройств при их совместной работе на примере цифрового вольтметра класса точности 0,1 (рис. 1.5). Класс здесь соответствует значению приведенной погрешности; знак «%» обычно опускается.

Такой прибор (рис. 1.5) содержит обычно масштабный усилитель, приводящий сигнал на входе аналого-цифрового преобразователя (АЦП) к нормированному диапазону с верхним значением, например 5 В. Действующий на входе АЦП аналоговый сигнал преобразуется в этом блоке в цифровой эквивалент, например в параллельный двоичный код. В дешифраторе данный код преобразуется в другую разновидность – в семисегментный код, который пригоден для управления изображенными на рис. 1.5 цифровыми семисегментными индикаторами.

Поскольку число комбинаций выходного кода АЦП и, соответственно, число точек шкалы самого вольтметра и разрядность кода связаны соотношением  $n = 2^N$ , то приведенная погрешность прибора определяется как

$$\gamma_c = \frac{1}{n} \cdot 100 \% .$$

Соответственно, при  $\gamma_c = 0,1 \%$   $n \approx 1000$ , т. е. цифровой индикатор вольтметра должен отображать диапазон десятичных чисел от 0 до 999 – всего тысячу значений. Сам индикатор содержит в этом случае три десятичных разряда.

В табл. 2.1 приведены буквенные обозначения подгрупп и видов ИС, применяемых наиболее часто в электронной аппаратуре.

Таблица 2.1

Наименование подгруппы ИС	Буквенное обозначение подгруппы	Наименование вида ИС	Буквенный индекс вида
1	2	3	4
Генераторы	Г	Синусоидальные Импульсные Специальной формы	ГС ГГ ГФ
Детекторы	Д	Амплитудные Фазовые Частотные	ДА ДФ ДС
Коммутаторы	К	Тока Напряжения Прочие	КТ КН КП
Логические элементы	Л	И-НЕ ИЛИ-НЕ И ИЛИ НЕ И-ИЛИ Прочие	ЛА ЛЕ ЛИ ЛН ЛП ЛС ЛШ
Элементы арифметических дискретных устройств	И	Регистры Сумматоры Счетчики Шифраторы Дешифраторы Комбинированные	ИР ИМ ИЕ ИВ ИД ИК
Триггеры	Т	JK D RS Шмита Прочие	ТВ ТМ ТР ТН ТШ

## ГЛАВА 2. ОБЩИЕ СВЕДЕНИЯ ОБ ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

### 2.1. КЛАССИФИКАЦИЯ ИС

Интегральные микросхемы обычно классифицируют по нескольким признакам (рис. 2.1). Основной функцией, выполняемой интегральными микросхемами (ИС), является обработка (преобразование) информации, заданной в виде электрического сигнала: напряжения или тока.

Электрические сигналы могут представлять информацию в **аналоговой** (непрерывной) или **цифровой** (дискретной) форме. Микросхемы, выполняющие обработку этой информации, называются соответственно аналоговыми или цифровыми. ИС, сочетающие как аналоговую, так и цифровую обработку, называются аналого-цифровыми и цифроаналоговыми преобразователями.

По типу основного активного компонента различаются **биполярные ИС** (на биполярных транзисторах) и **МДП ИС** (на полевых транзисторах структуры «металл – диэлектрик – полупроводник»). В последнее время интенсивно развивается **БиКМОП** (биполярнокомплементарная МОП) технология; ИС, выполненные по ней, содержат на одном кристалле биполярные и полевые элементы.

В зависимости от способа реализации активных и пассивных компонентов ИС делятся на **полупроводниковые**, когда все элементы размещены в одном кристалле, и **гибридные** – в них, как правило, пассивные элементы реализуются в виде пленок на подложке, активные выполняются навесными.

При реализации цифровых ИС гибридная технология не используется; аналоговые ИС массового применения также реализуются по полупроводниковой технологии и только относительно небольшой процент специализированных аналоговых ИС, а также АЦП и ЦАП выполняются гибридными.

В зависимости от количества элементов (обычно транзисторов) ИС делятся по степеням интеграции.

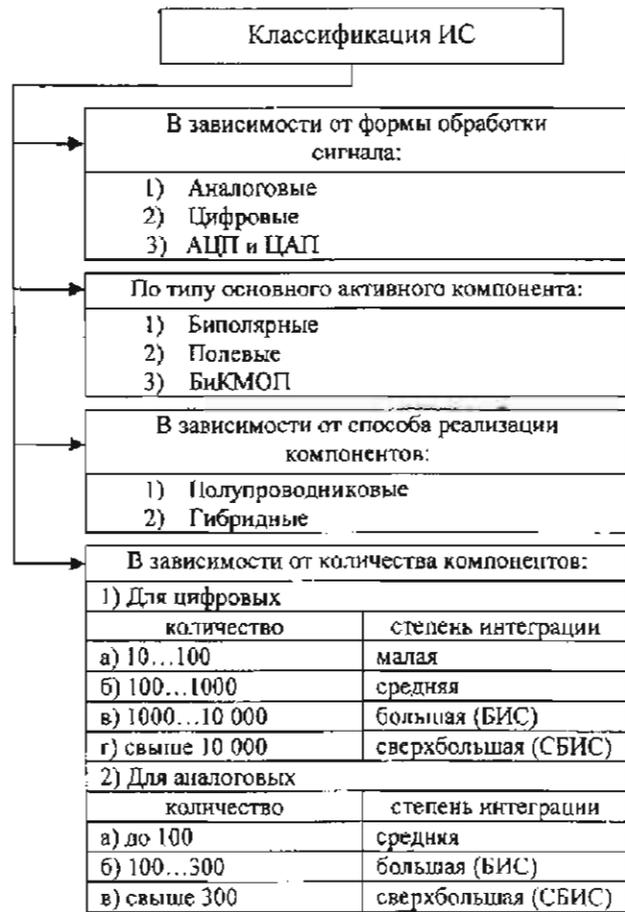


Рис. 2.1

- Для цифровых микросхем:
- 10–100 элементов – ИС **малой** степени интеграции;
  - 100–1000 элементов – ИС **средней** степени интеграции;
  - 1000–10000 элементов – ИС **большой** степени интеграции (БИС);
  - 10000 и более элементов – **сверхбольшая** ИС (СБИС).

Для аналоговых микросхем:

- до 100 элементов – ИС **средней** степени интеграции;
- до 300 элементов – БИС; более 300 элементов СБИС.

## 2.2. ОБОЗНАЧЕНИЕ И МАРКИРОВКА МИКРОСХЕМ

### Система обозначений отечественных ИС

По принятой в СССР системе обозначений, регламентированной ГОСТ 17021–75, обозначение ИС должно состоять из четырех-пяти элементов. Первый из них, состоящий из одной или двух букв (К, КР, М, КМ, КС) – обозначает конструктивное оформление ИС и особенности ее приемки. Для некоторых ИС этот элемент может отсутствовать. Второй элемент – три или четыре цифры, указывающие номер серии. При этом первая цифра 1, 5, 7 показывает на полупроводниковое исполнение; цифра 2 – на гибридное. Третий элемент – две буквы, обозначающие подгруппу и вид ИС – определяют ее основное функциональное назначение. Четвертый элемент – число, состоящее обычно из 1–4 цифр, обозначает порядковый номер разработки ИС по функциональному признаку в данной серии. Иногда это число, особенно для микропроцессорных БИС, соответствует не числу разработок, а номеру разработки в зарубежном аналоге. Для некоторых ИС указывается пятый элемент, характеризующий, например, объем ИС памяти или точность ИС АЦП и ЦАП, т. е. классификационный признак по параметрам. Ниже приведены примеры обозначений отечественных ИС.



Окончание табл. 2.1

1	2	3	4
Многофункциональные схемы	X	Аналоговые Цифровые Прочие	XI XII XIII
Наборы	II	Диодов Транзисторов Резисторов	IIA IIB IIC

### Особенности обозначения зарубежных ИС

Для зарубежных ИС существуют разные системы обозначений, действующие как в международном масштабе, так и внутри отдельных стран и фирм.

В европейских странах система обозначений ИС аналогична системе, принятой для обозначения дискретных полупроводниковых приборов и используется примерно 40 фирмами различных стран. Здесь обозначение состоит из трех букв, за которыми следует серийный номер (например, TDA810, SAB2000). Первая буква отражает принцип преобразования сигнала в схеме: S – цифровая схема; T – аналоговая; U – смешанная аналого-цифровая схема. Вторая буква (часто в совокупности с первой) обозначает семейство ИС, например, для цифровых:

FL, FZ, GD – цифровые схемы;

GA – маломощные ТТЛ-схемы;

GF – стандартные ТТЛ-схемы;

GJ – быстродействующие ТТЛ-схемы и т. д.

Третья буква обозначает рабочий диапазон температуры или, гораздо реже, другую важную характеристику.

Серийный номер отражает номер серии и разработки, примерно так же, как для отечественных ИС.

Для подавляющего большинства фирм США, Японии и ряда европейских стран действуют аналогичные системы обозначений – сначала буквенное обозначение (из 2–3 букв), характеризующее фирму-изготовителя, затем серийный номер из 3–4, реже из пяти цифр или цифра, характеризующая конструктивные особенности ИС.

В табл. 2.2 приводятся буквенные обозначения ведущих зарубежных фирм.

Таблица 2.2

Буквенное обозначение	Фирма	Буквенное обозначение	Фирма
AD	Analog Devices	I, IB, IC, ICL, ID, IM, IX	Intersil, MAXIM, INTEL
ADC	Datel Systems (DS)	IDM, IMP, INC, IPC, ISP	NSC
ADS	Burr-Brown	L	Siliconix
ADX, AF, AH	National Sem. Corp. (NSC)	LA, LB, LC, LT	Sanyo
AN	Matsushita	LF, LF, LFT, LH	NSC
AMD	Advanced Micro Devices		
AY	General Instrument (GI)	M, MA, LM	Sony, Mitsubishi, Matsushita
CA	RCA	MAA	ITT
CF	Harris	MAX	Maxim
CLC	Continental	MC, MCB, MCC, MCE, MCM	Motorola
CMP	Precision Monolithics Ins (PMI)	MD	INTEL
CP, CU	GI	MEM	GI
DAC, DAS	DS, PMI, Burr-Brown, Datel	MH	NSC
DP, DS	NSC, GI	MIC	ITT
F	Fairchild	ML	Plessey, Micro Linear
HA, HC, HD, HL, HM, HN, HR, HS	Harris, Hitachi, Sipex	MLM MM	Motorola INTEL, NSC

Окончание табл. 2.2

Буквенное обозначение	Фирма	Буквенное обозначение	Фирма
MP	Micro Power System	SDA, SE SM	Siemens NSC
MV, MX	Datel Systems (DS)	SMP	PMI
N, NE	Signetics	SN, SNA, SNC, SNH, SNM	Texas Instr. (TI)
NC	GI		
OP	PMI	TA	Toshiba
P, PC, PIC	GI	TAA, TEA, TBB, TBC	ITT, Siemens, Telefunken PHILIPS
RA, RO	GI		
R, RC, RM, RV	Raytheon	TCA, TDA, TDB, TDC	Toshiba ITT, Siemens, Telefunken
S, SA	American Microsystems, Signetics	TM	Toshiba
SAB, SAS	Telefunken	TMS	TI
SAK, SAK, SAY	ITT	U, UAA	Telefunken
		UC	Sprague
SBA	GI	μA, μPA	Fairchild
SD	NSC	μP	NEC

Цифровое обозначение серий и номеров разработок еще многообразнее, и только для наиболее известных и массовых семейств ИС просматривается определенная унификация.

Продолжение табл. 2.1

1	2	3	4
Микропро- цессоры и блоки ЭВМ	B	Центральные процессорные элементы Микро-ЭВМ Сопряжения с магистралью Управления вводом/выводом (интерфейс) Контроллеры времязадающие Управления памятью Управления прерыванием Микропроцессорные секции Комбинированные	BM BE BA  BB BG BH BT BN BC BK
Модуляторы	M	Амплитудные Частотные	MA MC
Фильтры	Φ	Высокой частоты Низкой частоты	ΦB ΦH
Запоминаю- щие устройства	P	ОЗУ со схемами управления Масочные ПЗУ Однократно программируемые ПЗУ Репрограммируемые ПЗУ — с ультрафиолетовым стиранием — с электрическим стиранием Прочие	PV PE  PT  PF PP PP
Формирова- тели	A	Импульсные Прочие	AT AP
Схемы сравнения	C	Амплитудные Частотные	CA CP
ИС вторич- ных источни- ков питания	E	Стабилизаторы напряжения Прочие	EN EP
Преобразова- тели	L	Частоты Фазы Уровня Код-авалог Аналог-код Код-код Прочие	LC LF LU LA LV LP LP

В итоге к основным особенностям биполярных элементов можно отнести следующее:

- *высокое быстродействие – граничные частоты собственнотранзисторов составляют 5...10 ГГц;*
- *среднее и высокое энергопотребление и, как следствие, значительное тепловыделение, что ограничивает степень интеграции БИС;*
- *способность работы на емкостную нагрузку;*
- *относительную сложность элементов, что отрицательно сказывается на стоимости ИС даже при массовом выпуске.*

В полевых структурах каскады, по сути, отделены друг от друга высокоомными диэлектрическими слоями подзатворных областей, в результате чего управление производится полем, создаваемым затвором. Это обуславливает ничтожные токи управления и, как следствие, высокую энергетическую эффективность управления.

Полевые элементы хорошо реализуют линейные функции, а в качестве ключей они зачастую просто вне конкуренции, поскольку в закрытом состоянии имеют очень большое сопротивление, что исключает токи утечки.

Перечисленное обуславливает следующие их особенности:

- *низкое и сверхнизкое энергопотребление, особенно в статическом режиме и, соответственно, небольшое тепловыделение;*
- *среднее быстродействие, худшее чем у биполярных элементов; впрочем, за счет усилий разработчиков полевых элементов этот разрыв существенно сократился;*
- *способность работы в широком диапазоне питающих напряжений;*
- *относительную простоту элементов, что позволяет реализовать очень высокую степень интеграции микросхем.*

В итоге при реализации микросхем малой и средней степени интеграции биполярная и полевая технологии представлены паритетно; что касается БИС и СБИС, то доминирующими при их реализации являются разновидности полевых технологий.

Рассмотрим несколько примеров обозначений ИС наиболее известных фирм.

*AD 7848 J N*  
1 2 3 4

1. Фирменное буквенное обозначение – *AD* – *Analog Devices*.
2. Серийный номер – аналого-цифровой преобразователь.
3. Диапазон температуры: *A, B, C* (промышленное назначение); *J, K, L* (коммерческое назначение); *S, T, V* (специальное назначение).
4. Тип корпуса: *D* – керамический, *N* – пластмассовый.

*SN 74 S 188 J*  
1 2 3 4 5

1. Фирменное буквенное обозначение – *SN* – стандартные ИС Texas Instruments.
2. Диапазон температур: 58, 54, 55 – от  $-55^{\circ}\text{C}$  до  $+125^{\circ}\text{C}$ ; 72, 74, 75 – от  $0^{\circ}\text{C}$  до  $+70^{\circ}\text{C}$ ; 62 – от  $-25^{\circ}\text{C}$  до  $+85^{\circ}\text{C}$ .
3. Классификация для TTL-схем: *H* – быстродействующие, *L* – маломощные, *S* – с диодами Шоттки, *LS* – маломощные с диодами Шоттки.
4. Серийный номер.
5. Тип корпуса.

*MA 741A H M*  
1 2 3 4

1. Фирменное буквенное обозначение – фирма Fairchild, *MA* – аналоговые схемы.
2. Серийный номер и модификация схемы.
3. Тип корпуса.
4. Диапазон температур.

Современная номенклатура ИС включает тысячи наименований, выпускаемых сотнями крупных и мелких предприятий.

Вместе с тем проектированием ИС, особенно сверхбольших среди цифровых и прецизионных и скоростных среди аналоговых, занимается гораздо меньшее количество предприятий.

Так, признанными лидерами среди разработчиков цифровых ИС малой и средней степени интеграции являются:

– *Texas Instruments Corp. (TI)* – ИС ТТЛ и ТТЛШ-серий *SN54, 74S, LS, ALS*;

– *Raytheon Semiconductor (RS)* – ИС КМОП-серий *CD4000*.

Поэтому, встретив на корпусе ИС в маркировке комбинацию *74LS*, можно не сомневаться, что это разработка *TI*, которую выпускает менее известное предприятие, купив у *TI* лицензию.

Монополисты в области разработки высокопроизводительных центральных процессоров:

– *International Electronic (INTEL)* – семейство процессоров *INTEL*;

– *Advanced Micro Devices (AMD)* – семейство процессоров *AMD*.

В то же время микросхемы, входящие в так называемый «чипсет», гораздо менее сложны в архитектурном и технологическом отношении и могут выпускаться второразрядными фирмами.

То же самое относится и к аналоговым микросхемам, в области разработки которых безусловно вне конкуренции *Analog Devices Inc. (AD)*, *Precision Monolithic Instruments Corp. (PMI)*, *Burr-Brown Corp (BB)*.

Все это объясняется достаточно просто. Фирмы *TI, RS, Sanyo* за 30–35 лет накопили солидный опыт, защитили свои авторские права, а что-то лучшее чем, например, ТТЛ- или КМОП-схемы, трудно изобрести.

Корпорации *INTEL, AMD, Analog Devices, PMI* кроме многолетнего конструкторского потенциала обладают уникальным технологическим оборудованием, позволяющим реализовать сотни миллионов транзисторов в кристаллах цифровых СБИС и сверхмалощумящие прецизионные и скоростные аналоговые ИС. Это и очень дорогое оборудование фотолитографии и эпитаксии, и средства лазерной подгонки, и специальные помещения. Поэтому уникальные по своим параметрам микросхемы – *Pentium 4, AMD Athlon XP, OP-77E, MAX430, AD1175K* легко узнаются, и скопировать их в условиях среднего предприятия никто и не пытается.

### 2.3. ОСОБЕННОСТИ КОНСТРУКТИВНО-ТЕХНОЛОГИЧЕСКОЙ РЕАЛИЗАЦИИ МИКРОСХЕМ

В процессе развития микросхемотехники и изучения свойств микроэлектронных компонентов выявилось много особенностей, которые являются определяющими при реализации микросхемы конкретного назначения.

Необходимо отметить, что к характеристикам цифровых ИС предъявляются совершенно иные требования по сравнению с аналоговыми. Это определяет весьма существенные различия между ними в технологическом плане.

#### *Основные разновидности цифровых ИС*

Элементной базой современных цифровых ИС является несколько типов схем логических элементов, имеющих достаточно хорошие характеристики и удобных для реализации в интегральном исполнении. Они реализуются как в виде отдельных микросхем, так и входят в состав функциональных узлов и блоков, реализованных в виде БИС и СБИС.

Наиболее распространенные типы схемотехнических решений группируются в зависимости от их технической реализации в два больших класса:

- биполярные устройства;
- полевые устройства.

К основным эксплуатационным характеристикам рассматриваемых ИС можно отнести *энергопотребление, быстродействие, миниатюрность*. Если по этим критериям оценивать биполярные элементы, то можно отметить следующее.

**Биполярные** устройства – токовые приборы, в которых управление величиной тока через транзистор осуществляется регулированием тока в базовой цепи, и энергетические характеристики транзисторных каскадов определяются коэффициентом усиления по току. Эти особенности определяются конструкцией биполярных приборов, расположением и взаимодействием областей.

Продолжение табл. 3.1

1	2	3	4	5
5	Входной ток низкого уровня	$I_{\text{ЦЛ}}$	$I_{\text{ВХ}}^0$	Значение тока лог. «0» на входе ИС
6	Входной ток высокого уровня	$I_{\text{ИН}}$	$I_{\text{ВХ}}^1$	Значение тока лог. «1» на входе ИС
7	Выходной ток низкого уровня	$I_{\text{ОЛ}}$	$I_{\text{ВЫХ}}^0$	Значение тока лог. «0» на выходе ИС
8	Выходной ток высокого уровня	$I_{\text{ОН}}$	$I_{\text{ВЫХ}}^1$	Значение тока лог. «1» на выходе ИС
9	Время задержки распространения при включении	$t_{\text{ПНЛ}}$	$t_{\text{ЗДР}}^{1,0}$	Интервал времени между входным и выходным импульсами при переходе напряжения на выходе ИС от лог. «1» к лог. «0», измеренный на уровне 0,5
10	Время задержки распространения при выключении	$t_{\text{ПНВ}}$	$t_{\text{ЗДР}}^{0,1}$	То же, что и 9 – при переходе от лог. «0» к лог. «1»
11	Время задержки включения	$t_{\text{ОНЛ}}$	$t_{\text{ЗД}}^{1,0}$	То же, что и 9 – переходе от лог. «1» к лог. «0» на уровне 0,1
12	Время задержки выключения	$t_{\text{ОНВ}}$	$t_{\text{ЗДР}}^{0,1}$	То же, что и 9 – при переходе от лог. «0» к лог. «1» на уровне 0,1
13	Время перехода при включении	$t_{\text{ПНЛ}}$	$t^{1,0}$	Интервал времени, в течение которого напряжение на выходе ИС переходит от лог. «1» к лог. «0», измеренный на уровне 0,1 и 0,9
14	Время перехода при выключении	$t_{\text{ПНВ}}$	$t^{0,1}$	То же, что и 13 – при переходе от лог. «0» к лог. «1»
15	Напряжение питания	$U_{\text{СС}}$	$U_{\text{П}}$	Значение напряжения источника питания, обеспечивающего работу ИС в заданном режиме

По биполярной технологии реализуются следующие виды элементов:

- транзисторно-транзисторная логика (ТТЛ) с разновидностью транзисторно-транзисторная логика с диодами Шоттки (ТТЛШ);

- логика с эмиттерными связями (ЭСЛ);
- инжекционная интегральная логика (ИИЛ);

К полевым элементам относятся:

- структуры металл – окисел – полупроводник р-типа (рМОП);
- структуры металл – окисел – полупроводник n-типа (nМОП);
- комплементарные МОП-структуры.

В последнее десятилетие ощутимых успехов добились разработчики биполярных КМОП-микросхем (БиКМОП). Схемы БиКМОП являются комбинацией биполярных и полевых элементов, в которой КМОП-элементы выполняют функции интеллектуального узла, а ТТЛШ-каскады применены в качестве выходных, обладая лучшей нагрузочной способностью.

Сфера применения таких устройств – микросхемы памяти и микропроцессоры.

Фирма *Hitachi*, являющаяся лидером в БиКМОП-схемотехнике, успешно реализует 4 и 16 Мбайт СВИС ОЗУ с временем выборки 8...10 нс, а также 32 и 64-разрядные микропроцессоры с тактовой частотой 1...1,5 ГГц.

### Особенности аналоговых ИС

В аналоговых ИС на первый план выходят дополнительно такие параметры полупроводниковых структур, которые не очень важны в логических элементах. Учитывая небольшую степень интеграции аналоговых ИС, требования к энергопотреблению и габаритам можно выполнить достаточно легко.

Более важными являются *напряжение смещения, температурные дрейфы параметров, входные токи*.

В современных аналоговых ИС применяются чаще всего биполярные транзисторы, работающие в микрорежиме. Полевые транзисторы используются реже, т. к. они имеют зна-

Если на входах  $X1$  и  $X2$  действует лог. «1», то есть потенциал, близкий к  $E_{пит}$ , то в  $VT1$  основная часть тока  $I_{BT}$  протекает по переходу база-коллектор, открывая  $VT2$  и переводя его в режим насыщения. Напряжения на коллекторе и эмиттере  $VT2$  близки к потенциалу корпуса, поэтому выходной каскад  $VT3$ ,  $VT4$  закрыт и на выходе  $Y$ -лог. «0».

В случае, когда один из сигналов  $X1$  и  $X2$  или оба они – лог. «0», то ток в  $VT1$  перераспределяется и  $I_{БЭ}$  становится гораздо больше  $I_{БК}$ . В результате  $VT2$  закрывается и напряжение на его коллекторе и, соответственно, на выходе  $Y$  становится близким к  $E_{пит}$ , т. е. равным лог. «1».

В результате схема, изображенная на рис. 3.1, реализует функцию И-НЕ, когда только две лог. «1» вызывают появление на выходе  $Y$  лог. «0», т. е. таблица истинности для такого двухвходового элемента И-НЕ имеет вид

Входы		Выходы	
$X1$	$X2$	$Y$ (И-НЕ)	$Y$ (И)
1	1	0	1
1	0	1	0
0	1	1	0
0	0	1	0

Обозначение на принципиальных схемах элемента И-НЕ соответствует изображенному на рис. 3.3.

Кружок указывает на наличие функции НЕ (инверсии – отрицания), которая при записи в операторной форме указывается

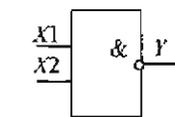


Рис. 3.3

чертой над оператором, например  $\overline{X1}$ . Значок & – символ функции И (конъюнкции – логического умножения); в операторной форме указывается значком  $\wedge$  между операторами.

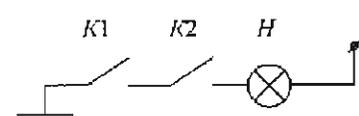


Рис. 3.4

Операция И имеет аналогию с работой ключевого устройства, состоящего из двух (в данном случае) выключателей и лампы, свечение которой соответствует лог. «1», отсутствие свечения – лог. «0» (рис. 3.4).

Охватывание табл. 3.1

1	2	3	4	5
16	Ток потребления при низком уровне выходного напряжения	$I_{ссл}$	$I_{пот}^0$	Значение тока, потребляемого ИС при лог. «0» на ее выходе
17	Ток потребления при высоком уровне выходного напряжения	$I_{сси}$	$I_{пот}^1$	Значение тока, потребляемого ИС при лог. «1» на ее выходе
18	Средняя потребляемая мощность	$P_{ссл ав}$	$P_{пот ср}$	Значение мощности, равное полусумме мощностей, потребляемых в двух устойчивых состояниях
19	Коэффициент разветвления по выходу	$N$	$N$	Число единичных нагрузок, которое можно одновременно подключить к выходу ИС
20	Сопротивление нагрузки	$R_H$	$R_H$	Значение входного сопротивления устройства, подключенного к выходу ИС
21	Емкость нагрузки	$C_H$	$C_H$	Значение входной емкости устройства, подключенного к выходу ИС

### 3.2. БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

К базовым логическим элементам относятся устройства, реализующие простейшие логические функции: НЕ, И, ИЛИ, исключающее ИЛИ, а также выполняющие комбинации функций, такие как И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ и т. п. Такие устройства имеют массовое применение и реализуются в виде ИС, содержащих их наборы. Кроме того, базовые логические элементы являются «кирпичиками» в сложной архитектуре ИС триггеров и устройств на их основе, БИС ЗУ и микропроцессорных наборов.

Параметры логических элементов определяются особенностями технологий, лежащими в основе реализации различных типов биполярной и полевой логики.

В табл. 3.2 представлены параметры наиболее распространенных серий ИС, реализованных в соответствии с перечисленными типами логики.

Таблица 3.2

Тип технологии	Серии ИС	$U_{пит}, В$	$U_{вых}^1, В$	$U_{вых}^0, В$	$t_{зд.р.}, нс$	$P_{пот.}, мВт$
ЭСЛ	K500	-5,2	-0,98	-1,63	2,9	34
	K1500	-4,5	-1,03	-1,61	1,4	16
ТТЛ	K131	5	2,4	0,4	11	40
	K134	5	2,4	0,4	100	2
	K155	5	2,4	0,4	19	25
ТТЛШ	K531	5	2,7	0,5	5	16
	K555	5	2,7	0,5	20	7,5
	K1531	5	2,7	0,5	3,8	2,1
	K1533	5	2,7	0,5	12	2,4
КМОП	K176	9	7,7	0,5	200	$10^{-3}$
	K561	3...15	опр. $U_{пит}$	0,01	120	$10^{-5}$
	K1564	3...7	опр. $U_{пит}$	0,01	15	$10^{-5}$

### Логические элементы ТТЛ

Появившись в начале 70-х гг. XX в., микронэлектронные логические элементы быстро вытеснили из многих областей электроники схемы на дискретных транзисторах и последние из уцелевших ламповых устройств. Эволюция микронэлектронных устройств происходила быстро, и 70-е гг. прошли под знаком победного шествия схемотехники под названием «транзисторно-транзисторная логика» (ТТЛ) и, чуть позднее, ее модификации – ТТЛ с диодами Шоттки (ТТЛШ).

Явившись усовершенствованным вариантом диодно-транзисторной логики, ТТЛ-схемы удачно сочетали в себе миниатюрность, удовлетворительное энергопотребление и устрашающее на тот момент многих потребителей быстродействие.

Базовым элементом ТТЛ-схем является ключ со сложным инвертором. Структура, изображенная на рис. 3.1, характерна для многих популярных ранее серий цифровых ИС: K131 (аналог ИС SN74H, разработчик – фирма Texas instruments), K133 (SN74); K134 (SN74L), имеющих небольшие отличия, касающиеся в основном номиналов резисторов R1–R4.

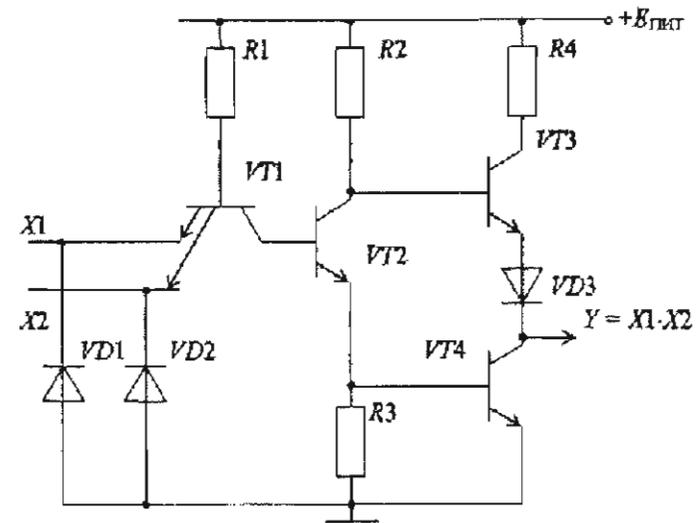
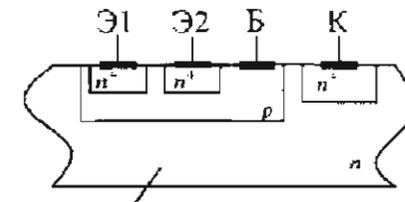


Рис. 3.1

Все схемы содержат три основных каскада: входной – на многоэмиттерном транзисторе VT1 (рис. 3.2), реализующий логическую функцию И; фазоразделительный – на транзисторе VT2; двухтактный выходной каскад, выполненный по схеме повторителя (VT3) и насыщением транзистора VT4 с введением диода сдвига уровня VD3.

В быстродействующих (K131) и экономичных (K134) ИС ТТЛ сопротивления R1 отличаются на порядок.

Первоначально были разработаны структуры, имеющие только VT1 и VT2, но они не получили распространения из-за низких помехоустойчивости, быстродействия и нагрузочной способности.



Топология многоэмиттерного транзистора

Рис. 3.2

Работа элемента И-НЕ в динамическом режиме характеризуется несколькими параметрами, в частности временем задержки распространения при включении  $t_{зд}^{01}$  и выключении  $t_{зд}^{10}$  (рис. 3.10). Эти времена определяются внутрисхемными элементами (в основном, процессами в транзисторах VT2 и VT4), а также влиянием температуры, сопротивления и емкости нагрузки.

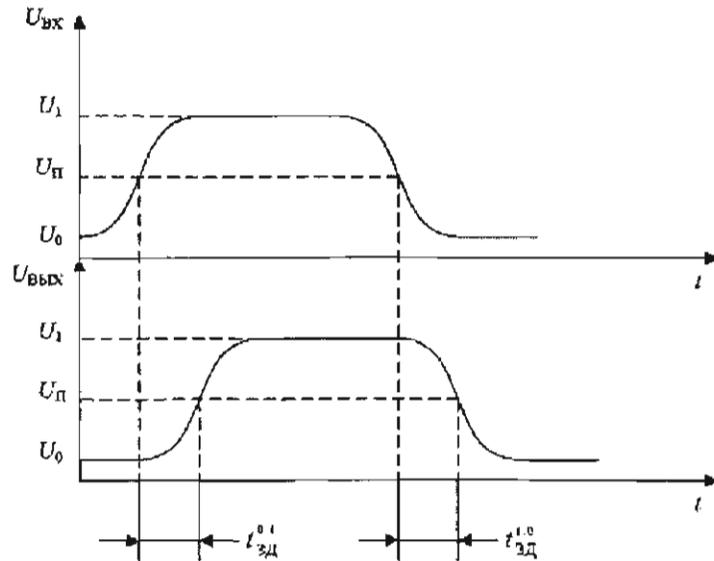


Рис. 3.10

### Микросхемы ТТЛШ

Данные цифровые компоненты явились усовершенствованной версией ТТЛ-микросхем. Эти элементы имеют во внутренней структуре переходы с барьером Шоттки, представляющие собой контакт металла и *n*-полупроводника со слабой степенью легирования. Эффект Шоттки позволяет снизить пороговое напряжение открывания кремниевого диода от обычных 0,7 В до 0,2...0,3 В и значительно уменьшает время жизни не основных носителей в полупроводнике.

Здесь только оба замкнутых ключа *K* обеспечивают свечение лампы *H*.

Элемент И-НЕ может быть базисным для обеспечения функций НЕ, ИЛИ, ИЛИ-НЕ, И/ИЛИ-НЕ и т. п., когда только из типовых упомянутых элементов выстраивается цепочка, реализующая необходимую функцию. Так, функция НЕ обеспечивается элементом, изображенным на рис. 3.1, когда в нем только один эмиттер. Кроме того, если имеется два или более эмиттера, можно обеспечить инверсию, соединив их все вместе (рис. 3.5).

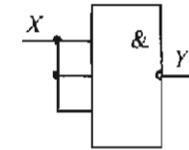


Рис. 3.5

Пригодно и включение, когда незадействованные выводы подключаются к *E*лит через резистор номиналом 1 кОм (этим самым на данных выводах обеспечивается потенциал лог. «1»). В практической схемотехнике чаще всего так и поступают, поскольку элемент на рис. 3.4 потребляет в три раза больший входной ток, чем элемент с одним входом. Элемент НЕ обозначается на принципиальных схемах следующим образом (рис. 3.6).

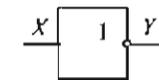


Рис. 3.6

Символ 1 и кружок на выходе – принадлежность (при одном входе) элемента НЕ.

Функцию ИЛИ-НЕ можно реализовать совокупностью элементов, изображенной на рис. 3.7.

Совокупность этих элементов может быть обозначена, как на рис. 3.8.

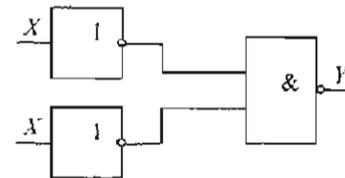


Рис. 3.7

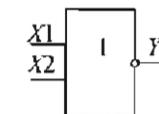


Рис. 3.8

Таблица истинности в этом случае имеет вид

Входы		Выходы	
X1	X2	Y (ИЛИ-НЕ)	Y (ИЛИ)
0	0	1	0
1	0	0	1
0	1	0	1
1	1	0	1

Аналогичным образом можно реализовать упомянутые выше функции. Однако такое решение чревато резким ухудшением быстродействия цифровых устройств в целом, поскольку операции И и НЕ реализуются быстро, а остальные медленнее в то количество раз, сколько каскадов содержит устройство, поскольку каждый элемент имеет фиксированное время переключения. Поэтому используются другие решения.

Так, например, для реализации функции ИЛИ используют на входе два одноэмиттерных транзистора, а для функции ИИЛИ – два двухэмиттерных транзистора. Однако число таких решений относительно невелико, поскольку должен быть выполнен компромисс между технологической и схемной простотой.

Рассмотрим передаточную характеристику (рис. 3.9) элемента И-НЕ (рис. 3.1) для пояснения тех требований, которые к нему предъявляются с точки зрения обеспечения оптимальной совокупности эксплуатационных параметров в *статическом режиме*.

При  $U_{ВХ1} = 0$  переход база-эмиттер  $VT1$  открыт, но образующийся при этом потенциал  $U_{БВТ4} = 0,8$  В не может открыть три  $p-n$  перехода:  $б-к$   $VT1$ ,  $б-э$   $VT2$  и  $б-э$   $VT4$ , т. к. для открывания этой цепи необходим потенциал  $3 \times 0,6 = 1,8$  В ( $0,6$  В – на каждый переход). Напряжение  $U_{БВТ4} = 0$  и  $VT4$  – закрыт. Напряжение  $U_{БВТ3}$ , близкое к  $U_{ИП}$ , открывает переход  $б-э$   $VT3$  и диод  $VD3$ , вызывая ток. Напряжение на коллекторе  $VT4$  соответственно равно  $U_{ВЫХ}^1$  (участок 1-2).

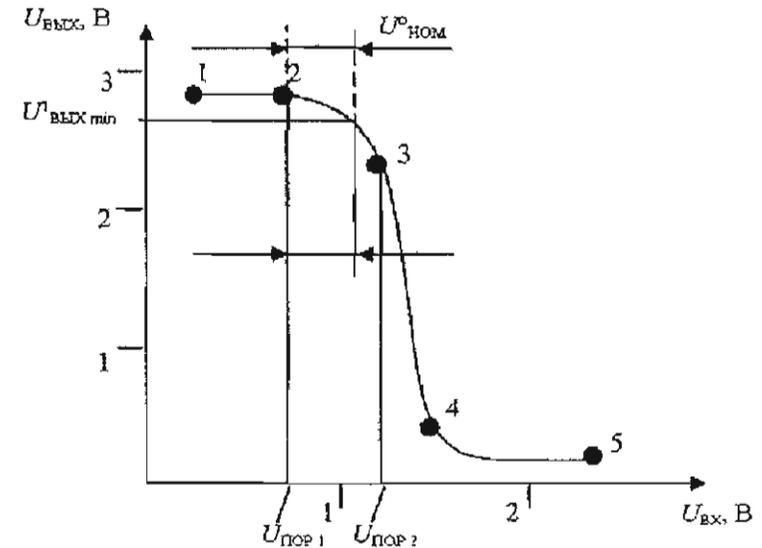


Рис. 3.9

Дальнейшее увеличение  $U_{ВХ}$  приводит к увеличению потенциала на базе  $VT1$  до  $1,2$  В, который открывает два перехода:  $б-к$   $VT1$  и  $б-э$   $VT2$ .  $VT2$  открывается, ток через  $R2$  увеличивается, что уменьшает  $U_{КВТ2}$ . Увеличение тока через  $R3$  ведет к увеличению  $U_{БВТ4}$  и приводит к его открыванию. Открытый  $VT4$  (участок 3-4) шунтирует резистор  $R3$ , что резко увеличивает коэффициент передачи  $VT2$  и уменьшает  $U_{КВТ2}$ . При этом некоторос время  $VT4$  уже открыт, а  $VT3$  еще не закрыт, что приводит к броску тока в выходном каскаде и, соответственно, к увеличению мощности в динамическом режиме.

При дальнейшем увеличении  $U_{ВХ}$   $VT2$  и  $VT4$  переходят в насыщение (участок 4-5); транзистор  $VT3$  – закрыт.

В усовершенствованных схемах ТТЛ ( $K133$ ,  $K155$ ) в базу  $VT4$  вместо  $R3$  вводится корректирующая цепочка, состоящая из дополнительных транзистора и резистора. Ее введение улучшает форму передаточной характеристики и делает ее близкой к прямоугольной, что в свою очередь повышает помехоустойчивость.

### Специальные логические элементы

Особое место в цифровой схемотехнике занимают элементы: а) с открытым коллектором; б) с тремя устойчивыми состояниями; в) двунаправленные элементы.

В элементах с открытым коллектором (рис. 3.19) в качестве внешней нагрузки могут быть включены лампы накаливания (рис. 3.20, а); светозлучающие диоды с ограничивающим резистором (рис. 3.20, б); транзисторный ключ (рис. 3.20, в), а также обмотка реле (рис. 3.20, г).

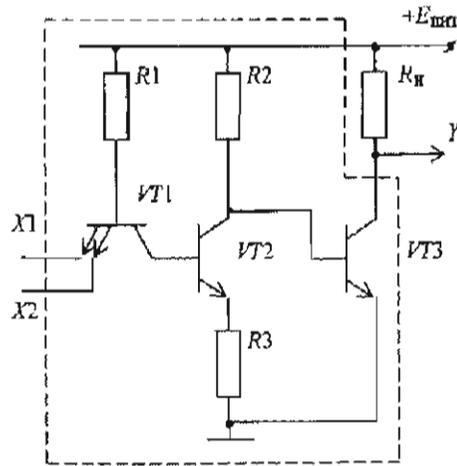


Рис. 3.19

Элементы с тремя устойчивыми состояниями разработаны для облегчения внутрисистемного взаимодействия блоков ЭВМ-микропроцессора, памяти и устройств управления вводом/выводом информации. Поскольку в работе ЭВМ как синхронной системы в определенный интервал времени всегда можно выделить конкретную пару «источник – приемник», передачу информации можно осуществить:

- по общим для многих пар «источник – приемник» линиям связи;
- реверсивно, когда одни и те же линии связи и выводы БИС используются для передачи информации в обоих направлениях.

При этом два последних варианта используют подключение нагрузки к более высокому потенциалу питания.

Такие элементы специально разработаны для целей индикации и автоматики, поскольку обычные ИС не могут работать на подобную нагрузку.

К микросхемам этой группы относятся модели ЛА7, ЛА11, ЛА13, ЛА18, ЛИ2, ЛИ4, ЛИ5, реализованные в сериях К155, К555, К1531.

доточную характеристику этого инвертора (рис. 3.13, в). Выходной уровень лог. «1» меньше  $+E_{пит}$ , ввиду значительного сопротивления канала, равного нескольким кОм.

Рассмотрим МОП-транзистор с *n*-каналом (рис. 3.14, а–в). Если затвор заземлить, конденсатор «затвор – подложка» не заряжается, канал не формируется, ток  $I_C$  отсутствует,  $U_{вых} = 1$ .

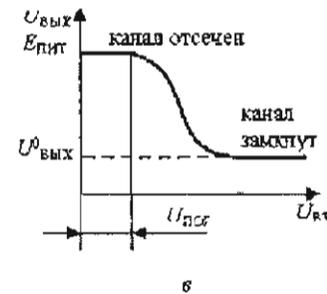
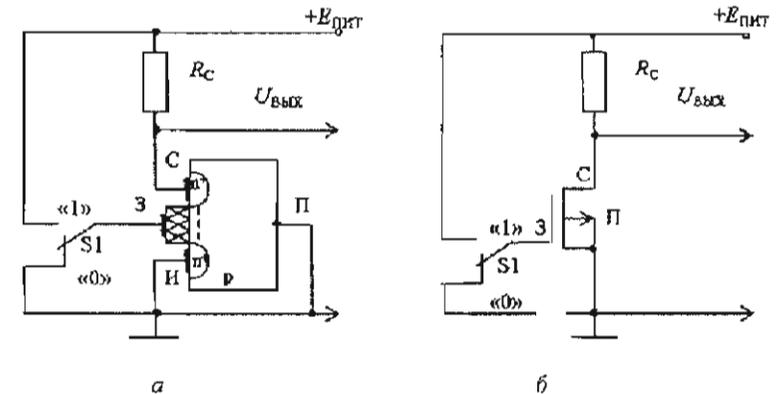


Рис. 3.14

При напряжении на затворе, равном лог. «1», конденсатор «затвор – подложка» заряжен, на поверхности подложки сконцентрированы электроны, течет  $I_C$ ,  $U_{вых} = \text{лог. «0»}$ , но  $U_{вых}^0$  несколько больше потенциала корпуса (рис. 3.14, в).

Последовательное соединение *p*- и *n*-транзистора образует КМОП-инвертор (рис. 3.15).

На рис. 3.16 изображена топология данного устройства.

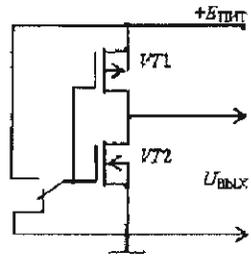


Рис. 3.15

Когда на затворы  $VT1$  и  $VT2$  подается лог. «1»,  $p$ -канал  $VT1$  разомкнут, а  $n$ -канал  $VT2$  замкнут на выходе – лог. «0». При  $U_{\text{вых}} = 0$   $VT1$  – открыт,  $VT2$  – закрыт, а на выходе – лог. «1».

В работе КМОП-инвертора возможен очень кратковременный момент, когда оба транзистора  $VT1$  и  $VT2$  открыты: в момент переключения инвертора. Это приводит к появлению сквозного тока через элемент. В статическом режиме ток через КМОП-элемент практически отсутствует, поэтому потребляемая мощность  $P_{\text{пот}}$  КМОП-устройств на частотах до  $5...7$  МГц весьма мала (табл. 3.2) и становится сравнимой с  $P_{\text{пот}}$  ИС ТТЛШ только на более высоких частотах.

Другими достоинствами КМОП-элементов являются:

- высокая помехоустойчивость;
- широкий диапазон напряжения питания ( $3...15$  В);
- широкий диапазон рабочих температур ( $-55...+125$  °С);
- высокая нагрузочная способность.

Перечисленные достоинства делают КМОП-устройства весьма привлекательными для применения, особенно в системах с автономным питанием (на мобильных объектах, в переносных приборах и т. п.).

Так же, как и в семействе ТТЛ, в номенклатуре КМОП ИС присутствуют простейшие логические элементы И, И-НЕ, ИЛИ-НЕ. Этот набор обеспечивает реализацию цифровых устройств с любым алгоритмом функционирования. На рис. 3.17 приведена схема элемента 2И-НЕ, реализация которого обеспечивается последовательным соединением двух  $n$ МОП-транзисторов и параллельным соединением двух  $p$ МОП-транзисторов.

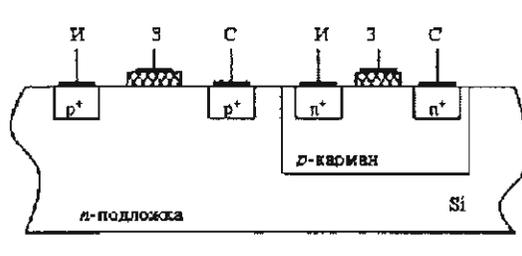


Рис. 3.16

Высокими уровнями  $VT3$  и  $VT4$  запираются, поэтому при  $X1 = X2 = 1$   $Y = 0$  и, наоборот, низкими уровнями  $VT3$  и  $VT4$  открываются, а  $VT1$ ,  $VT2$  закрываются, и на выходе сигнал равен лог. «1».

Элемент 2ИЛИ-НЕ также реализуется четырьмя транзисторами  $VT1$ – $VT4$  (рис. 3.18).

Первые КМОП-элементы были довольно медленными ( $t_{\text{зд}} \geq 100...150$  нс), и тактовые частоты для ИС  $CD4000A$  (аналог серии  $K176$ ) составляют  $3...5$  МГц. В серии  $CD4000B$  (аналог серии  $K561$ )  $t_{\text{зд}} = 50$  нс. Современные серии  $54HC$  и  $74HC$  (аналог серии  $K1564$ ) конкурируют по быстродействию ( $t_{\text{зд}} \geq 10...15$  нс) с ИС ТТЛШ.

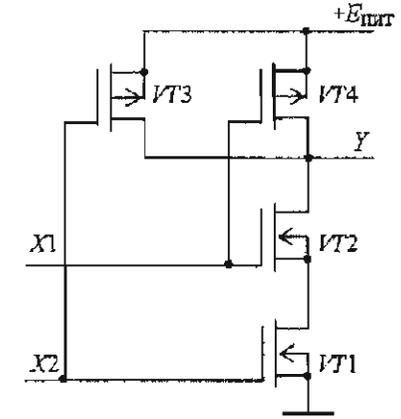


Рис. 3.17

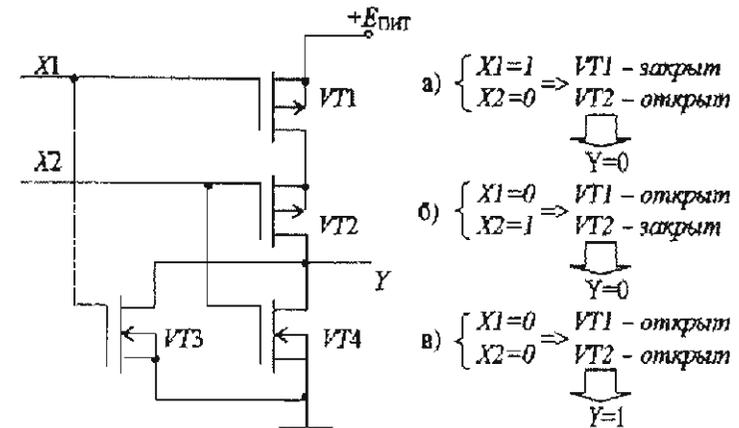


Рис. 3.18

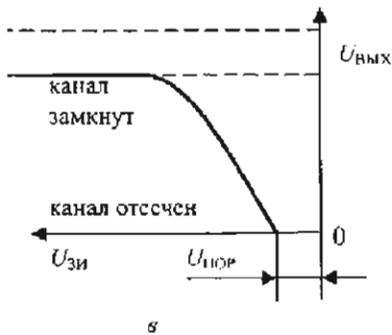
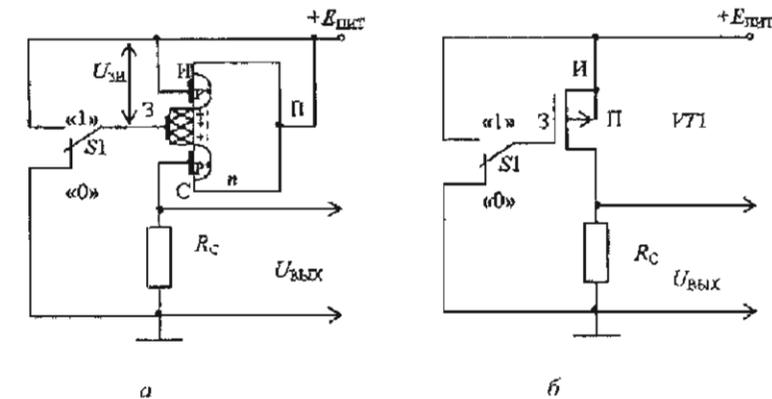


Рис. 3.13

В изображенном на рис. 3.13, а *p*-канальном МОП-транзисторе исток и подложка подключены к  $+E_{пит}$ , стоковая нагрузка  $R_c$  — к корпусу. В данной структуре затвор 3 и поверхность полупроводниковой подложки представляют собой, по сути, обкладки конденсатора, а подзатворная область, выполненная из

$SiO_2$  — диэлектрик конденсатора. Если затвор заземляется (подаем с помощью переключателя  $S1$  лог. «0»), поверхность кристалла заполняется  $+$  зарядами, за счет чего две области  $p+$  перемыкаются. Это области истока И и стока С, где наблюдается повышенное содержание дырок. Создается поверхностный канал проводимости, течет ток стока  $I_c$ , и появляется высокий уровень выходного напряжения  $U_{вых}$ . Переключив  $S1$ , присоединим затвор к  $+E_{пит}$  (т. е. к лог. «1»).

Конденсатор «затвор — подложка» не будет заряжен, канал С-И не замкнут и на выходе потенциал лог. «0». Этот каскад — *p*-МОП-инвертор. Плавно меняя напряжение  $U_{зи}$ , снимем пере-

Таким образом, диоды Шоттки, включенные параллельно б-к переходам всех транзисторов, шунтируют их, превращая их в ненасыщаемые. Этим самым предотвращается накопление в б-к переходах избыточных носителей, что резко уменьшает время выключения ключей. На рис. 3.11 показаны возможные схемы входных каскадов элементов ТТЛШ.

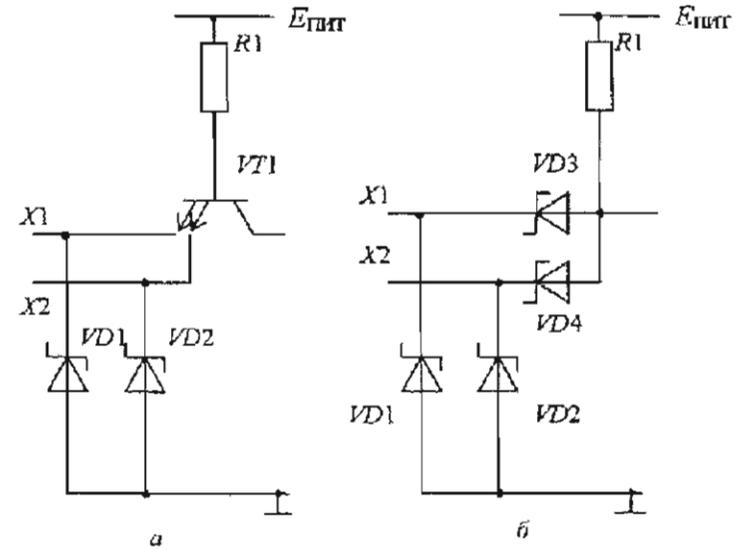


Рис. 3.11

Первоначально была разработана серия *K531*, в которой был реализован вариант, изображенный на рис. 3.11, а. Он имеет повышенное значение входного тока  $I_{вх}$ , небольшое время  $t_{зд}$ , но весьма высокое энергопотребление. Второй вариант (рис. 3.11, б), реализованный в серии *K555*, имеет большую входную емкость, удовлетворительное быстродействие (верхний диапазон частот  $f_B \approx 100$  МГц) и очень неплохое энергопотребление. Поэтому, появившись в начале 80-х гг., микросхемы серии *K555* до сих пор применяются даже в новых разработках и имеют наряду с серией *K155* самый широкий функциональный ряд.

Более новыми разработками являются серии *K1531*, *K1533*. Примененные в них такие технологические новинки, как оксидная изоляция между соседними транзисторами и оболочковые области *p-n* переходов собственно транзисторов позволили повысить граничные частоты транзисторов в них с 1,6 ГГц (в серии *K555*) до 6...7 ГГц.

В табл. 3.3 приведен перечень основных отечественных серий ТТЛ и ТТЛШ, их зарубежного аналога серий *SN* (разработчик – *Texas Instruments*), а также наибольшие важные параметры.

Таблица 3.3

Серия ТТЛ		Параметры			Нагрузка		
Отечественная	Зарубежная	$t_{зд},$ нс	$P_{пот},$ мВт	$\Sigma$ (энергия переключения), пДж	$C_n,$ пФ	$R_n,$ кОм	Нагрузочная способность
<i>K134</i>	<i>SN74L</i>	33	1	33	50	4	10
<i>K155</i>	<i>SN74</i>	10	10	100	15	0,4	10
<i>K531</i>	<i>SN74S</i>	3	20	60	15	0,28	10
<i>K555</i>	<i>SN74LS</i>	10	2	20	15	2	20
<i>KP1531</i>	<i>SN74F</i>	3	4	12	15	0,28	10
<i>KP1533</i>	<i>SN74ALS</i>	4	2	8	15	2	20

### Логические элементы ЭСЛ

В течение примерно 10 лет – до 80-х гг. – элементы ЭСЛ были весьма популярны в скоростных электронных устройствах, что было обусловлено их высоким быстродействием. В частности, ИС серий *K100* и *K500* широко использовались в больших ЭВМ серии ЕС. На рис. 3.12 изображен ЭСЛ – элемент ИЛИ.

Эмиттеры транзисторов *VT2* и *VT3* связаны с эмиттером транзистора *VT4*. С помощью *R4* ток в общей эмиттерной цепи поддерживается в достаточной мере постоянным, но может быть направлен в ту или другую часть схемы в зависимости от того, имеют ли все сигналы *X1* и *X2* уровень ниже  $E_{оп}$ .

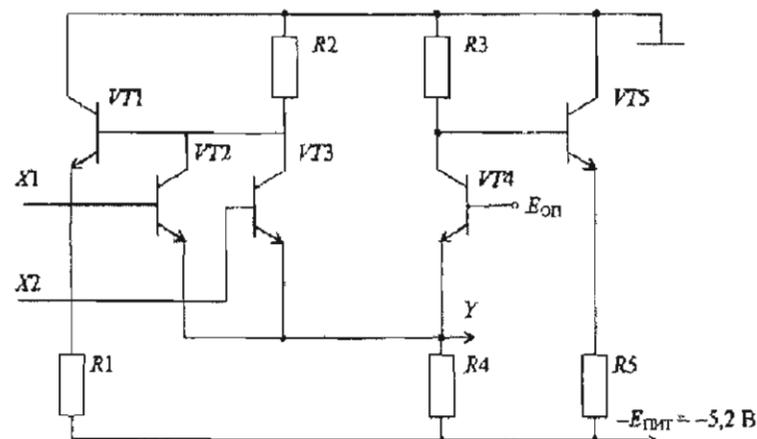


Рис. 3.12

Уровень лог. «0» равен – 1,63 В, лог. «1» – примерно – 1,0 В. Разница между уровнями мала, что определяет высокое быстродействие, достигаемое, впрочем, за счет помехоустойчивости.

Со временем, когда появились ТТЛШ серии *K1531* и *K1533*, разработчиков перестало устраивать высокое энергопотребление ЭСЛ-схем и их сфера применения резко сократилась.

### Логические элементы КМОП

Микросхемы на комплементарных полевых транзисторах с изолированным затвором получили наибольшее распространение при реализации относительно несложных цифровых узлов, а также БИС запоминающих устройств.

Термин «*комплементарный*» – взаимно дополняющий – обозначает соединение пары транзисторов, имеющих примерно одинаковые значения основных параметров, но с полупроводниковыми структурами, взаимно отображенными как бы в виде негатива и позитива. В полевой технологии – это транзисторы с *p-* и *n-*каналами.

Рассмотрим топологию и особенности работы МОП-транзисторов.

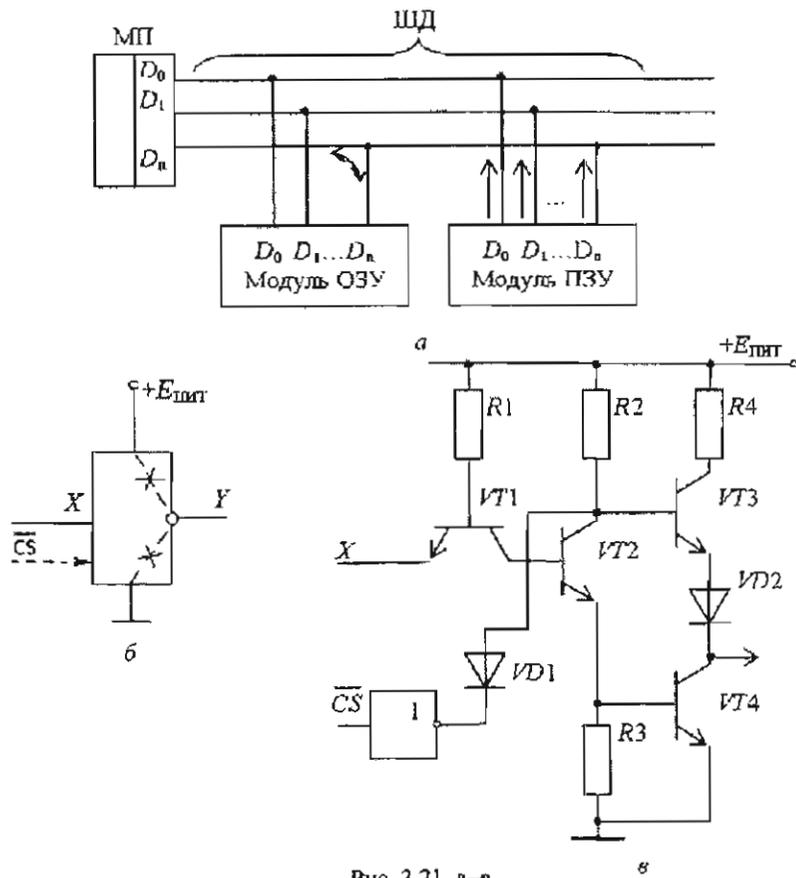


Рис. 3.21, а-в

На выводах ОЗУ и ПЗУ используются логические элементы с тремя устойчивыми состояниями (рис. 3.21, б), сущность работы которых можно упрощенно представить следующим образом. Обычный инвертор можно уподобить ключу (рис. 3.21, в), коммутирующему выход  $Y$  под действием входного сигнала  $X$  либо в цепь питания (тогда  $Y = 1$ ), либо на корпус ( $Y = 0$ ). В инверторе на рис. 3.21, б есть третье устойчивое состояние, когда связь выхода  $Y$  с потенциалом  $+E_{пит}$  и корпуса характеризуется весьма высоким (сотни кОм) сопротивлением.

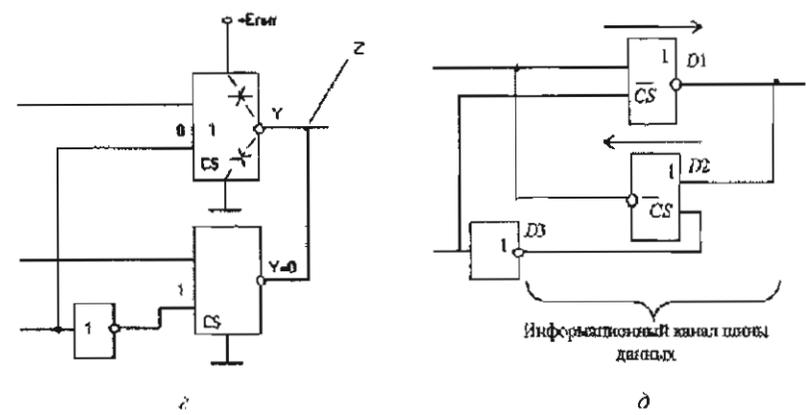


Рис. 3.21, г, д

Такое высокоомное состояние появляется при подаче на вход  $CS$  (chip select – выбор кристалла) лог. «1». Тогда на коллекторе  $VT2$  – лог. «0», и он закрыт. Закрыты и  $VT3$ , и  $VT4$ , поэтому выход  $Y$  пребывает в третьем – высокоомном состоянии. Если  $CS = 1$  инвертор работает как обычно. При соединении двух подобных элементов по выходу и управлению ими противофазными сигналами  $CS$  (рис. 3.21, г), верхний из них сигналом  $CS = 0$  переведен в третье состояние (т. е. его выход  $Y$  как бы висит в воздухе), а нижний активен.

Поэтому потенциал на нижнем элементе, равный лог. «0» определяет потенциал в точке  $Z$ . В практических схемах так осуществляется соединение многих элементов, а управление ими производится многоразрядным позиционным кодом, в котором активен лишь один разряд.

Элементами с тремя устойчивыми состояниями оснащены выходные каскады практически всех сложных блоков ЭВМ, работающих на магистраль (шину) данных – самого МП, БИС ЗУ, интерфейсных БИС, а также некоторых менее сложных ИС, таких как регистры и мультиплексоры.

Номенклатура таких элементов в виде самостоятельных ИС относительно невелика и представлена в основном в семействе ТТЛ и ТТЛШ моделями  $74A17$ ,  $74A19$

Двухнаправленные элементы предназначены для работы в информационных магистралях (шинах) ЭВМ и выполняют в них роль усилителей мощности, а также управляют направлением перемещения информации. Структура таких элементов представлена на рис. 3.21, д.

Устройство состоит из двух элементов с тремя состояниями  $D1$  и  $D2$  и управляющего ими обычного инвертора  $D3$ . При  $U_{упр} = 0$  открыт  $D1$  и информация может перемещаться вправо.

### 3.3. КОМБИНАЦИОННЫЕ УСТРОЙСТВА

К этой группе относятся устройства, реализованные на основе логических элементов и выполняющие сложные логические операции без запоминания информации, т. е. состояние таких устройств однозначно определяется комбинацией входных сигналов и не зависит от предыдущего состояния.

К таким устройствам относятся:

- шифраторы и дешифраторы;
- мультиплексоры;
- сумматоры и арифметико-логические устройства;
- схемы сравнения.

#### Шифраторы и дешифраторы

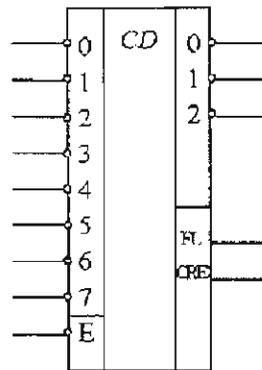


Рис. 3.22

Шифраторы преобразуют сигнал, поданный только на один вход, в параллельный двоичный код. Обычно их выполняют приоритетными, т. е. шифратор реагирует только на один входной сигнал. В семействе ИС ТТЛ существует небольшое число микросхем шифраторов, в частности  $K555IB1$  (шифратор  $8 \times 3$ ) и  $K555IB3$  ( $10 \times 4$ ). На рис. 3.22 приведено условно-графическое обозначение дешифратора  $K555IB1$ . Сигналы на входе  $E$  разрешают работу ИС в режиме кодирования. Сигналы с выходов  $FL$  и  $CRE$  управляют приемником сигналов шифратора.

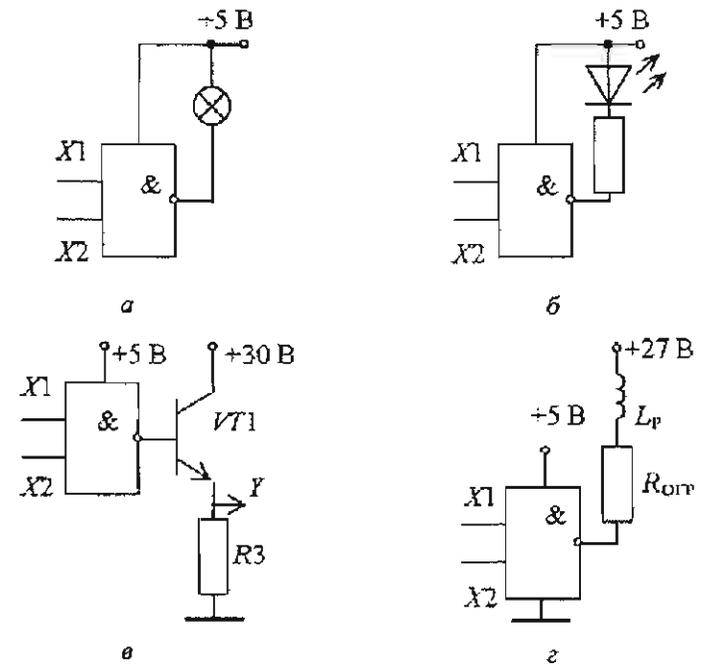


Рис. 3.20

Эти приемы в схемотехнике вычислительных средств дают очень ощутимый результат в плане экономии линий связи в информационных магистралях ЭВМ, а также числа выводов БИС.

Поясним, как эти приемы реализуются практически – на примере упрощенного описания взаимодействия микропроцессора (МП), оперативного (ОЗУ) и постоянного (ПЗУ) запоминающих устройств (рис. 3.21, а). При взаимодействии МП и ОЗУ информация, представленная параллельным двоичным кодом, по шинам данных ШД перемещается реверсивно (показано стрелкой). При взаимодействии МП и ОЗУ источником данных всегда выступает ПЗУ. Выводы данных модулей ОЗУ и ПЗУ соединены на проводниках ШД. Возникает вопрос, как «уживаются» выходные сигналы ОЗУ и ПЗУ на ШД? Вывод направляется сам: если активно ОЗУ, то выводы ПЗУ нужно отключить от ШД и наоборот. Эта задача решается достаточно просто.

## Мультиплексоры

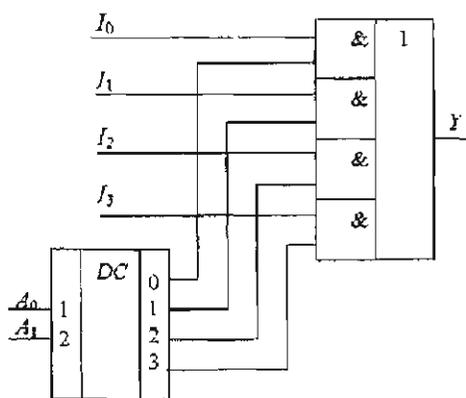


Рис. 3.28

Мультиплексорами называются цифровые многопозиционные переключатели, то есть коммутаторы. С помощью мультиплексоров осуществляется временное разделение информации, поступающей по разным каналам. При этом они выбирают (селектируют) определенный канал. Поэтому их иногда называют селекторами. В самом общем случае структурная схема содержит схему И-ИЛИ-НЕ и управляющий сью дешифратор (рис. 3.28).

Адресный код  $A_0 \dots A_1$  дешифрируется, и с помощью одного из выбранных сигналов дешифратора на выход  $Y$  коммутируется один из четырех входных сигналов  $I_0 \dots I_3$  на выход  $Y$ .

Многие ИС мультиплексоров реализуются со стробированием — когда схемы И имеют общий дополнительный вход, сигнал на котором может блокировать прохождение сигналов  $I_1 \dots I_n$ . Это позволяет синхронизировать работу мультиплексора с работой других устройств.

Мультиплексоры ТГЛ, выполненные в виде самостоятельных ИС, строятся по образцу схемы, изображенной на рис. 3.28, и различаются главным образом числом информационных и адресных входов, наличием или отсутствием разрешающего входа, а также характером входных сигналов. В качестве примера рассмотрим ИС  $K555KП7$ , реализующую функцию коммутатора  $8 \times 1$  (рис. 3.29).

Мультиплексорами называются цифровые многопозиционные переключатели, то есть коммутаторы. С помощью мультиплексоров осуществляется временное разделение информации, поступающей по разным каналам. При этом они выбирают (селектируют) определенный канал. Поэтому их иногда называют селекторами. В самом общем случае структурная схема содержит схему И-ИЛИ-НЕ и управляющий сью дешифратор (рис. 3.28).

В дешифраторах определенная кодовая комбинация входных сигналов соответствует активному состоянию одного из выходов. В этих устройствах реализуются следующие виды преобразований:

- двоичный код  $\rightarrow$  позиционный код;
- двоично-десятичный код  $\rightarrow$  позиционный код;
- двоично-десятичный код  $\rightarrow$  семисегментный код.

Дешифраторы относительно несложны по внутренней структуре. Примером может служить устройство, декодирующее два разряда двоичного кода в четыре разряда позиционного кода (рис. 3.23).

Таблица истинности такого устройства показывает, что при увеличении двоичного кода на входе активное состояние — лог. «0» как бы перемещается по выходам сверху вниз. Такое свойство дешифраторов — активизировать только один выход, десятичный номер которого соответствует численному значению входного кода — широко используется в устройствах, управляющих большими массивами информации, имеющими матричную организацию. К таким устройствам можно отнести матричные индикаторы, внутреннюю структуру БИС запоминающих устройств, модули памяти и т. п.

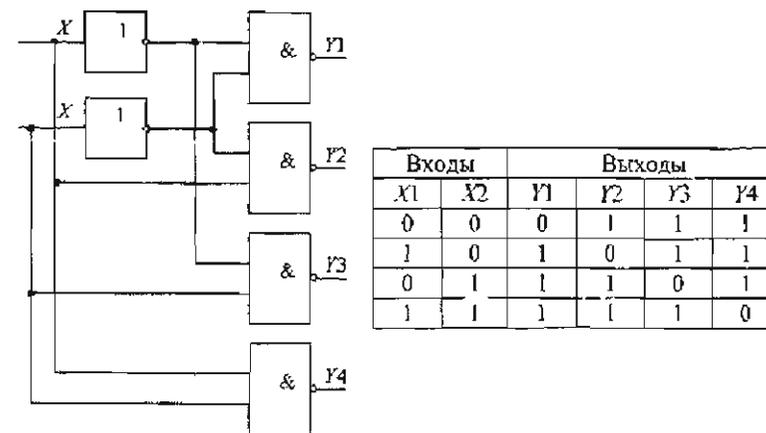


Рис. 3.23

Для построения дешифратора, преобразующего  $m$ -разрядный двоичный код, необходимо иметь  $n$  электронных логических элементов и с  $m$  входами каждый.

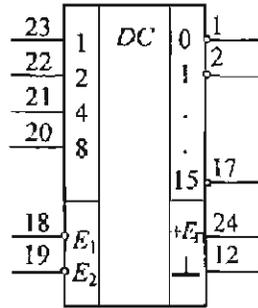


Рис. 3.24

На рис. 3.24 показано условно-графическое обозначение микросхемы-дешифратора  $4 \times 16$  *K555ИД3* – преобразователя двоичного в позиционный код.

Для этой ИС как и для большинства дешифраторов, характерно наличие входов управления. Здесь их два:  $E_1$  и  $E_2$ . Сигналы на этих входах разрешают при  $\bar{E}_1 = \bar{E}_2 = 0$  или запрещают при  $\bar{E}_1 = \bar{E}_2 = 1$  выполнение операций дешифрования. В последнем случае все выходы принимают состояние лог. «1» независимо от сигналов на информационных входах.

К устройствам аналогичного типа можно отнести и микросхему *K555ИД4* – дешифратор  $2(2 \times 4)$ . Такие ИС могут использоваться парой – для получения дешифратора  $4 \times 16$ . Микросхемы *K555ИД1*, *ИД6*, *ИД7*, *ИД10* выполняют функции дешифратора двоично-десятичного кода в позиционный (рис. 3.25).

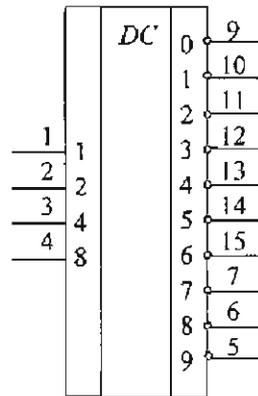


Рис. 3.25

В этих ИС отсутствуют входы управления, поскольку все выводы заняты кодовыми выводами, а микросхема имеет 16 выводов. Отличительной особенностью *K555ИД1* является также наличие высоковольтных ключей на выходе с открытым коллектором, что делает эту ИС очень полезной при управлении высоковольтными нагрузками – транзисторными ключами, обмотками реле и т. п.

Дешифраторы двоично-десятичного кода в семисегментный предназначенны для управления семисегментными индикаторами и реализованы в микро-

схемах *K555ИД18* и *K514ИД1* и *ИД2*. Два последних типа индикаторов отличаются тем, что первый работает на индикатор с общими анодами (рис. 3.26), а второй – на индикатор с общими катодами (рис. 3.27).

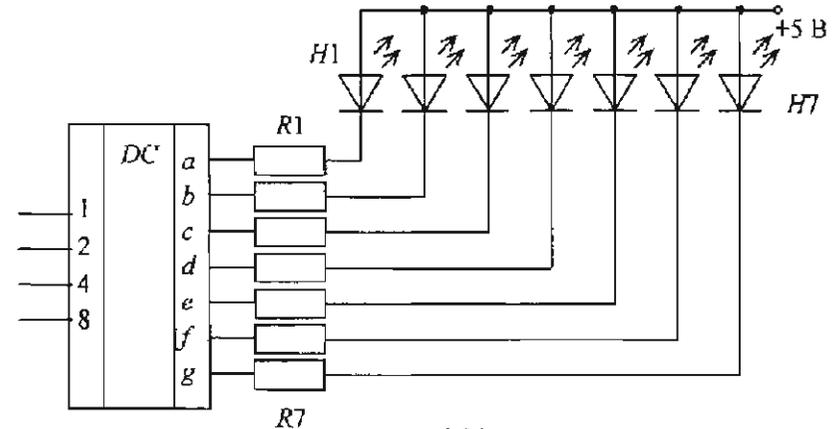


Рис. 3.26

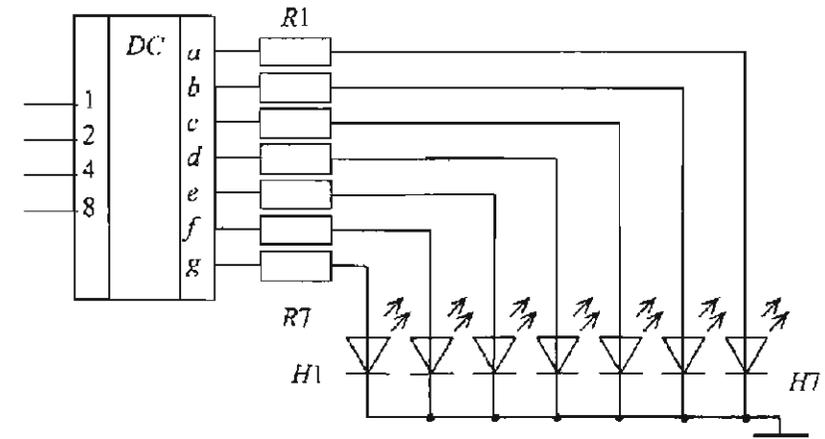


Рис. 3.27

Номенклатура дешифраторов КМОП менее обширна и представлена в 176 серии моделями *ИД1,2,3*; в 564 серии – *ИД4* и 5 и в 1564 серии – *ИД6* и 7.

На входы  $S_0...S_3$  подаются коды выполняемых операций. Эти коды представляют собой, по сути, инструкции по выполнению операций, например, всех четырех логических операций и таких арифметических, как:  $A + B$ ;  $A + A$ ;  $A - 1$ ;  $A + A \cdot B$  и т. п. – всего 16 разновидностей, поскольку код – четырехразрядный.

На выходе I каскада формируется функция полусуммы (без предыдущего переноса), функция генерации  $G$ , и функция передачи  $P$ , переноса  $n$ . Функция полусуммы предназначена для формирования результатов суммирования с учетом переноса  $n_{i-1}$  соседнего младшего разряда из каскада II АЛУ. Управляющий вход  $S_4$  задает тип выполняемых операций: при  $S_4 = 0$  – реализуются арифметические операции, при  $S_4 = 1$  – логические. При выполнении логических операций переносы не распространяются.

В III каскаде формируется полная сумма из полусумм, формируемых в I каскаде, и переносов, формируемых во II каскаде.

АЛУ набирается из таких секций и дополняется, как правило, схемой ускоренного переноса.

### Схемы сравнения

Схемы сравнения, или цифровые компараторы, также относятся к устройствам арифметического типа. Они выполняют сравнение двух чисел, заданных в двоичном коде. В зависимости от схемного исполнения компараторы могут определять равенство  $A = B$ , либо вид неравенства  $A < B$  или  $A > B$ . Микросхемы-компараторы выполняют, как правило, все эти операции и имеют три выхода.

Логическая структура одноразрядного компаратора показана на рис. 3.33.

Она представляет собой развернутую логическую структуру элемента «исключающее ИЛИ-НЕ» с тремя выходами.

Цифровые четырехразрядные компараторы выпускаются в виде самостоятельных изделий. Примером могут служить микросхемы  $K555СП1$  и  $564ИП2$ . В функциональном отношении эти приборы близки друг другу и помимо определения равенства или неравенства двух четырехразрядных чисел допускают наращивание с целью увеличения разрядности. В микросхеме

Цифровая комбинация на управляющих входах  $A_0...A_2$  определяет, с какого из управляющих выходов  $I_0...I_7$  сигналы на входы будут переданы в прямом (вывод 5) или в инверсном виде (вывод 6). Разрешающий вход  $V$  должен при этом находиться в состоянии лог. «0». Уровень лог. «1» на этом входе запрещает коммутацию.

К мультиплексорам ТТЛ относятся также ИС модели  $KП1$  – (16×1);  $KП2$ , 9, 12 – [2(4×1)];  $KП5$ , 10 – (8×1);  $KП8$  – [3(3×1)];  $KП11$ , 14, 16 – [4(2×1)] и ряд других, реализованных в сериях  $K155$ ,  $K555$ ,  $K1531$ .

Мультиплексоры КМОП за счет применения в качестве схем И двунаправленных вентильных ключей обладают гораздо большими функциональными возможностями. Во-первых, эти элементы могут быть использованы для коммутации как логических, так и аналоговых сигналов. Во-вторых, двунаправленность ключей позволяет не только мультиплексировать сигналы, но и производить обратную операцию – демультиплексирования, т. е. разделение сигналов с одного канала на несколько.

### Сумматоры и АЛУ

Эти устройства являются весьма важным компонентом ЭВМ, поскольку служат основой операционного устройства любого микропроцессора. Следует отметить, что эти устройства в настоящее время в виде отдельных ИС реализуются мало, а гораздо чаще применяются в составе более сложных устройств.

Особенностью операции суммирования является наличие переноса, поэтому сумматоры реализуются в два этапа:

- 1) синтез одноразрядных сумматоров;
- 2) организация цепей переноса.

Схема одноразрядного полусумматора, использующего прямые коды слагаемых, изображена на рис. 3.30.

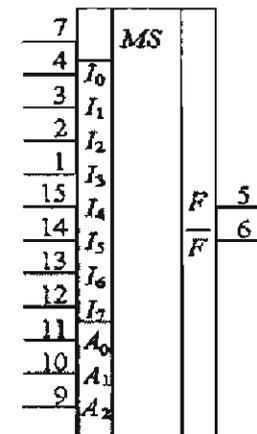


Рис. 3.29

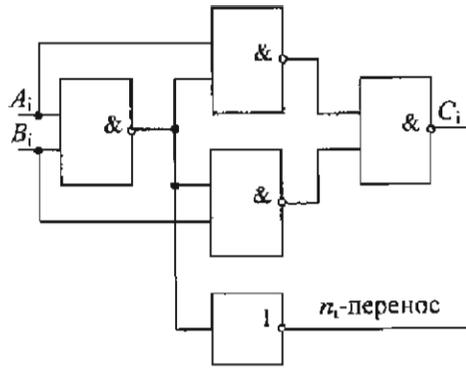


Рис. 3.30

Полусумматором эта схема называется потому, что она суммирует два разряда без учета переноса в предыдущем – младшем разряде. Для младшего разряда эта схема является полным сумматором.

Схема полного сумматора (рис. 3.31) несколько сложнее.

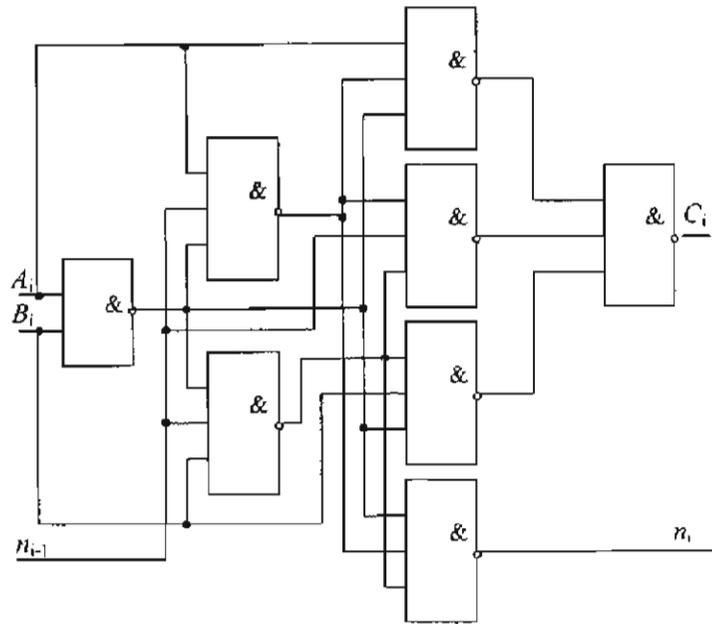


Рис. 3.31

Принцип работы всех каскадов сумматора состоит в том, что на входы каждой одноразрядной секции поступают два слагаемых  $A_i$  и  $B_i$ , а также сигнал переноса из предыдущего разряда  $n_{i-1}$ . Сигнал переноса, образованный в младшем разряде, распространяется последовательно по цепям переноса к старшим разрядам. При реализации сумматоров в виде отдельных ИС, таких каскадов обычно набирается 7...8, и суммарное время сложения для ИС ТТЛ 4-разрядного сумматора *K155ИМ3* составляет 150 нс.

Наиболее сложными комбинационными устройствами являются АЛУ. Одноразрядная секция АЛУ изображена на рис. 3.32.

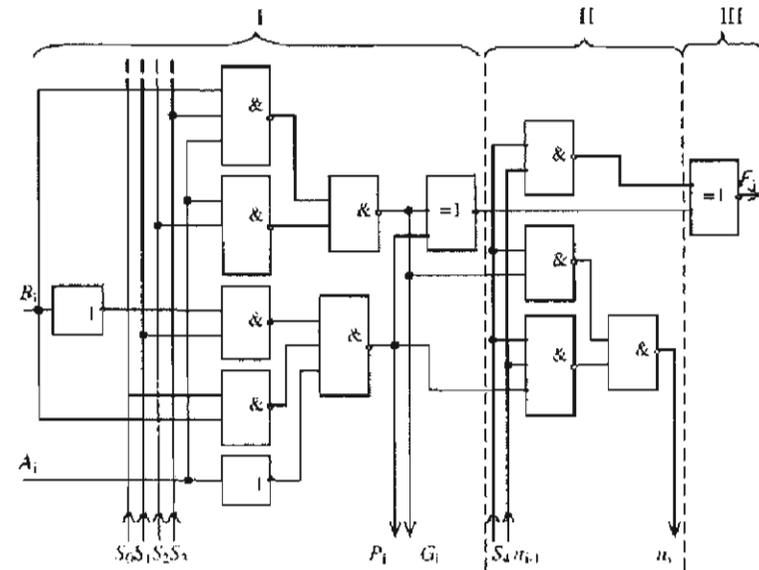


Рис. 3.32

Такая секция состоит из трех каскадов: I каскад – логические операции и формирование полусумм; II каскад – генерация переносов; III каскад – формирование полных сумм.

Таблица 3.4

Такт $t^n$		Такт $t^{n-1}$	
$R^n$	$S^n$	$Q^{n+1}$	
0	0	$Q^n$	←Режим хранения
0	1	0	←Запись лог. «1»
1	0	1	←Запись лог. «0»
1	1	x	←Неопределенное (запрещенное) состояние

Гораздо более востребованными являются *синхронные триггеры D- и JK-типа*. Термин «синхронные» обозначает, что любое изменение в таких триггерах происходит только по приходу специального разрешающего импульса. Это очень удобно, поскольку сигналы на информационные входы могут поступать в асинхронном режиме, а их запись в триггер синхронизируется.

Рассмотрим особенности функционирования синхронных триггеров. На рис. 3.36 изображены логическая структура и условное графическое обозначение синхронного D-триггера со статическим управлением.

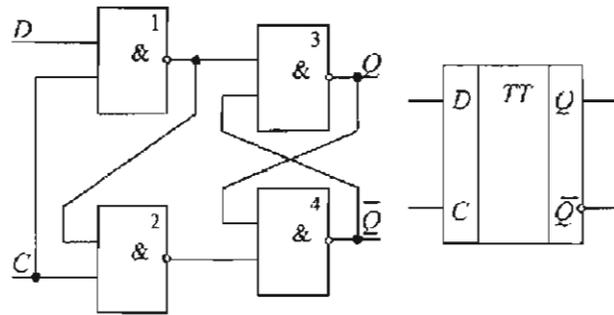


Рис. 3.36

На рис. 3.36 элементы 3 и 4 образуют ячейку памяти, а 1 и 2 – схему управления. В паузах между синхронимпульсами элементы 1 и 2 закрыты и на их выходах присутствуют сигналы

564ИП2 применены показанные на рис. 3.33 одновходовые компараторы и схема ИЛИ с большим количеством входов. Микросхемы цифровых компараторов – достаточно редкий элемент – и применяются для выявления нужного числа в потоке информации, например для отметки времени в часовых приборах.

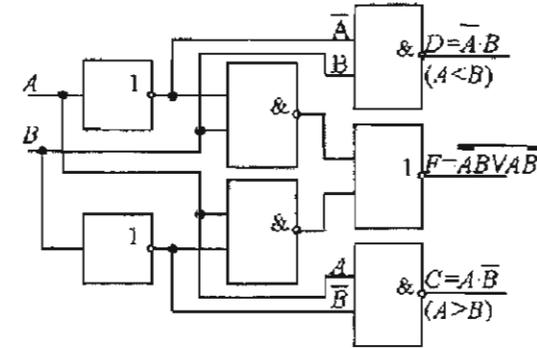


Рис. 3.33

### 3.4. УЗЛЫ С ЗАПОМИНАНИЕМ ИНФОРМАЦИИ

Данные устройства образуют многочисленный класс компонентов цифровых систем, реализуемых в качестве самостоятельных изделий и использующихся в сложных блоках ЭВМ.

К этому классу относятся **триггеры** и схемы на их основе: **счетчики** и **регистры**.

#### Триггеры

Триггерами называют устройства, имеющие два устойчивых состояния и способные под действием входных данных сигналов переходить из одного состояния в другое. Схемотехника триггеров является весьма разработанной, с широкой номенклатурой устройств.

В наибольшей степени распространены три типа триггеров: *RS*, *D* и *JK*, реализуемые в интегральных микросхемах. Другие типы – *T*, *DV*, *TV*, *RST* – по логике своей работы незначительно отличаются от перечисленных, поэтому в данной работе отдельно не рассматриваются.

Простейшим является асинхронный RS-триггер, реализуемый на базе двухвходовых логических элементов с инверсией, таких как 2И-НЕ, 2ИЛИ-НЕ и т. п. На рис. 3.34 отображены структура, реализованная на двух элементах 2ИЛИ-НЕ (рис. 3.34, а), а также условное графическое изображение RS-триггера (рис. 3.34, б).

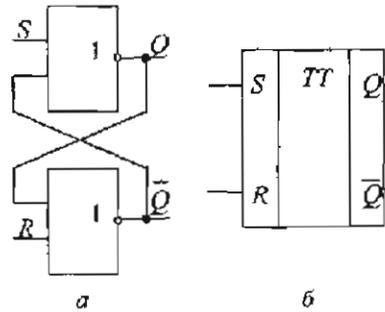


Рис. 3.34

Два устойчивых состояния обеспечиваются за счет связи выхода каждого элемента с одним из входов другого. На входах RS-триггера возможны четыре комбинации сигналов:

- $S^n = R^n = 0$ ;
- $S^n = 1, R^n = 0$ ;
- $S^n = 0, R^n = 1$ ;
- $S^n = 1, R^n = 1$ .

Каждой комбинации соответствует определенное поведение триггера. Поясним особенности работы схемы с помощью временных диаграмм (рис. 3.35) в которых можно выделить два интервала  $t^n, t^{n+1}$ .

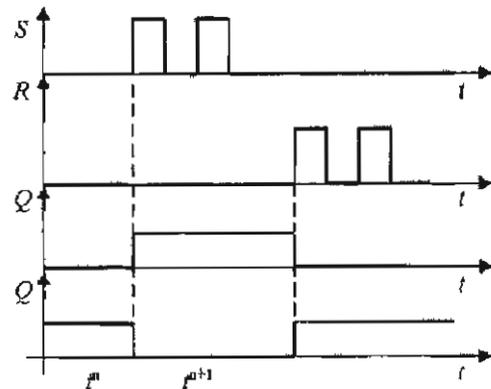


Рис. 3.35

При  $S^n = R^n = 0$  (интервал  $t^n$ ) сигналы могут иметь одну из двух комбинаций  $Q^{n+1} = 1, \bar{Q}^{n+1} = 0$  либо  $Q^{n+1} = 0, \bar{Q}^{n+1} = 1$ . В этом легко убедиться, если вспомнить, что каждый логический элемент инвертирует входные сигналы и что переключающим сигналом для эле-

мента ИЛИ-НЕ служит 1. Допустим,  $Q^{n+1} = 1$ . Этот сигнал, действуя на входе нижнего элемента, создаст на его входе сигнал  $\bar{Q}^{n+1} = 0$ . В свою очередь, действующие на входах верхнего элемента два нулевых сигнала со входа  $S$  и выхода  $Q$ , обеспечат на его выходе сигнал  $Q^{n+1} = 1$ . Это состояние устойчивое. Аналогично можно показать  $\bar{Q}^{n+1} = 0$  – тоже устойчивое, т. е. схема обладает свойствами триггера.

Комбинация входных сигналов  $S^n = R^n = 0$  обеспечивает режим хранения информации или режим памяти; в нем триггер хранит состояние, в которое он был приведен в предыдущем такте. На этом свойстве триггера и основано его использование в качестве элемента памяти.

Если на один из входов подать лог. «1», сохраняя нулевой потенциал на другом, триггер примет состояние, которое однозначно определяется входной информацией. При  $S^n = 1$  и  $R^n = 0$   $Q^{n+1} = 1$ , а при  $S^n = 0$  и  $R^n = 1$   $Q^{n+1} = 0$ , поэтому вход  $S$  называют единичным, а вход  $R$  – нулевым (RESET или установкой в лог. «0»). Следует отметить, что вход  $R$  является обязательным во всех устройствах, содержащих элементы памяти, поскольку сигнал на этом входе определяет исходное однозначное состояние.

При появлении управляющего сигнала на одном из входов происходит либо переключение триггера, либо подтверждение существующего состояния (как, например, при действии вторых импульсов на входах  $S$  и  $R$  на временной диаграмме).

Если одновременно подать переключающие сигналы на оба входа ( $S^n = R^n = 1$ ), на обоих выходах появятся логические нули и устройство утратит свойство триггера. Это состояние называют запрещенным, поскольку при переходе к разрешенным состояниям триггер ведет себя непредсказуемо, и при разработке аппаратуры надо принимать меры для исключения данного состояния. Таблица 3.4 иллюстрирует описанные выше особенности функционирования RS-триггера.

RS-триггеры реализуются в ИС в описанном варианте, т. е. как триггеры асинхронного типа. Это небольшая группа микросхем, представленная, например, моделью TP2 в семействах ТТЛ и КМОП (серии K155, K555, K564).

Поясним основные алгоритмы работы наиболее распространенного варианта – двоичного суммирующего счетчика – на примере временных диаграмм, изображенных на рис. 3.41. Здесь же приведены кодовые комбинации, соответствующие основным отдельным тактам.

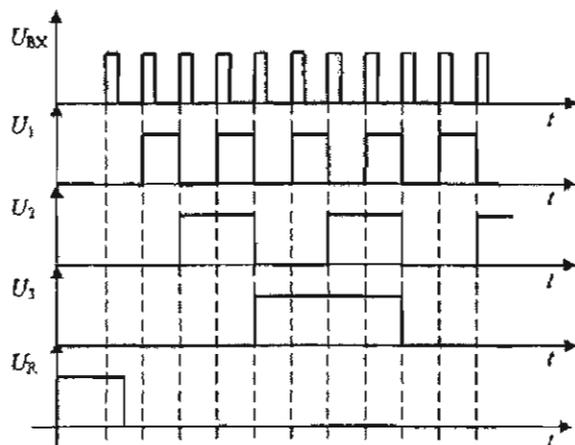


Рис. 3.41

На первый счетный импульс счетчик не реагирует, поскольку активен сигнал «Уст. 0», равный лог. «1» и являющийся приоритетным. Появившийся во втором такте лог. «0» на входах  $R$  триггеров разрешает счет. Каждый из трех триггеров делит частоту импульсов, поступающих на его счетный вход на два, так что  $f_{Q0} = 2 f_{вх}$ ,  $f_{Q1} = 4 f_{вх}$ ,  $f_{Q2} = 8 f_{вх}$ . За цикл работы, состоящий из восьми тактов, кодовая комбинация увеличивается с состояния 000 до 111, затем счетчик автоматически переходит в девятое состояние – 000 и цикл повторяется.

Очевидно, что разрядность счетчика  $N$  должна соответствовать количеству импульсов  $n$ , которое необходимо подсчитать:  $n = 2^N$ .

Рассмотрим классификацию счетчиков.

По типу синхронизации счетчики делятся на:

- синхронные (параллельные),
- асинхронные (последовательные).

$q_1 = q_2 = 1$ , что служит нейтральной комбинацией для основной ячейки памяти, которая в это время может находиться в состоянии  $Q^{n-1} = 1$  либо  $Q^{n-1} = 0$ , в соответствии с состоянием входа  $D^n$  в предыдущем такте.

С приходом синхриимпульса состояние элементов 1 и 2 определяется значением сигнала на входе  $D$ . Во всех случаях сигналы на выходах этих элементов связаны между собой и входным сигналом следующим соотношением:  $q_1 = q_2 = D^n$ . По отношению к запоминающей ячейке сигналы  $q_1$  и  $q_2$  играют роль переключающих. Когда  $D^n = 0$ , то при  $C = 1 \rightarrow q_1 = 1$ , а  $q_2 = 0$ , элемент 4 запирается и на его выходе  $Q^{n+1} = 1$ , тогда как на входе элемента 3 действуют  $q_1 = 1$  и  $Q^n = 1$ , отчего на прямом выходе формируется  $Q^{n+1} = 0$ . Можно убедиться, что при  $D^n = 1$  выходной сигнал  $Q^{n+1}$  также будет повторять входной.

С окончанием тактового импульса ( $C = 0$ ) в триггере наступает режим хранения информации.

На рис. 3.37 изображены временные диаграммы работы описанного триггера.

Данный вариант  $D$ -триггера реализуется в микросхемах  $K155TM5$  и  $TM7$ , которые содержат по 4 триггера в 16-выводном корпусе. Синхронизирующих входов в этих ИС – по одному на два триггера.

Статический способ синхронизации триггеров имеет следующий недостаток.

Информация на  $D$ -входе по времени действия должна перекрывать синхриимпульс. Эта особенность простейшего  $D$ -триггера ограничивает круг его применений.

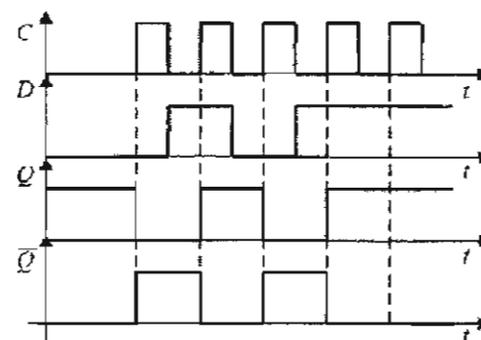


Рис. 3.37

Лучшими функциональными характеристиками обладают  $D$ -триггеры с динамическим управлением. Примером могут служить микросхемы моделей  $TM2$  в сериях  $K131$ ,  $K133$ ,  $K155$ .

К555. В корпусе находятся два одинаковых триггера, связанных только общим питанием. На рис. 3.38 изображена логическая структура *D*-триггера и условное графическое обозначение.

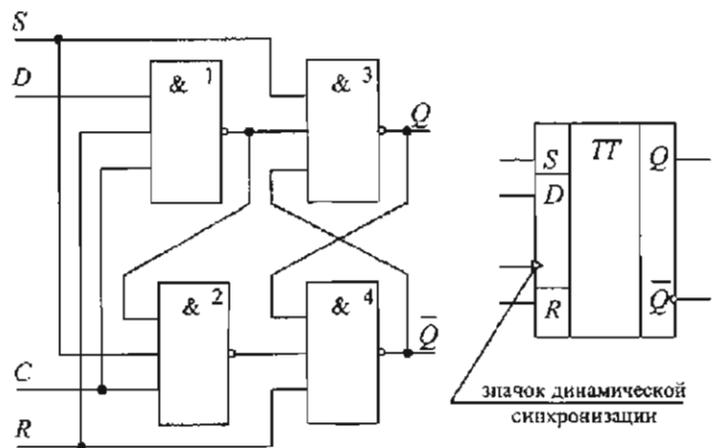


Рис. 3.38

Данная структура совмещает в себе *RS* и *D*-триггер, поэтому является очень привлекательной для использования во многих схемах автоматики и вычислительной техники. Сигналы на *R*- и *S*-входы подаются асинхронно и являются приоритетными.

Модель *D*-триггера *TM2* кроме ИС семейства ТТЛ реализована и во всех сериях КМОП *K176, 564, 1564*.

Модели *TM8* и *TM9* ИС семейств ТТЛ и КМОП содержат в себе соответственно 4 и 6 *D*-триггеров с динамической синхронизацией.

Синхронный *JK*-триггер также весьма распространен и реализуется как самостоятельное изделие (модель *TB1* в семействах ТТЛ и КМОП), так и в составе более сложных микросхем – счетчиков моделей *IE6* и *IE7*. Такие устройства обладают более сложной логикой управления входными элементами.

Особенности работы *JK*-триггера поясняет таблица состояний. На рис. 3.39 приведено условное графическое обозначение модели *TB1* семейства ТТЛ.

Схемотехника *JK*-триггеров разнообразна и реализуется также в моделях *TB6, 9, 10, 11, 14*.

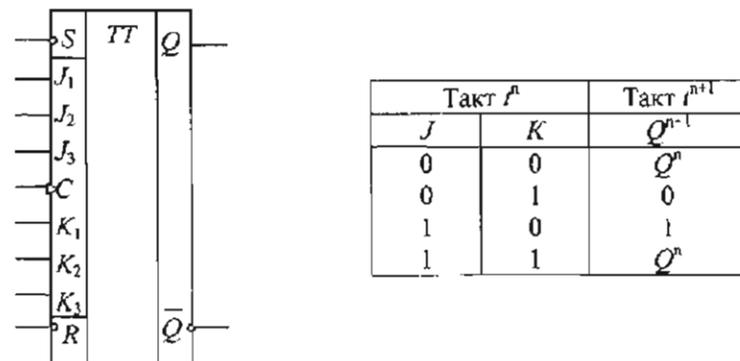


Рис. 3.39

### Счетчики

Счетчики – это весьма популярный узел в цифровой схемотехнике. Это группа устройств, состоящих из последовательно соединенных триггеров (рис. 3.40) и осуществляющих подсчет числа импульсов из последовательности и выдачу результата в одном из различных видов двоичного кода – натуральном двоичном, двоично-десятичном, коде Грея и т. п.

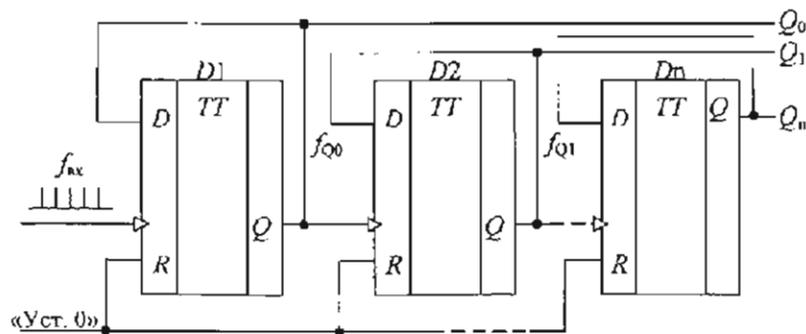


Рис. 3.40

Подсчет числа импульсов сопровождается эффектом *деления частоты* – поэтому любой счетчик – это делитель.

- *ИЕ5* – четырехразрядный двоичный асинхронный счетчик;
- *ИЕ6* – двоично-десятичный синхронный реверсивный счетчик с предварительной записью информации;
- *ИЕ7* – отличается от *ИЕ6* коэффициентом пересчета, для данной ИС он составляет 16;
- *ИЕ10, 11, 13, 18* отличаются от упомянутых выше наличием дополнительных сервисных функций.

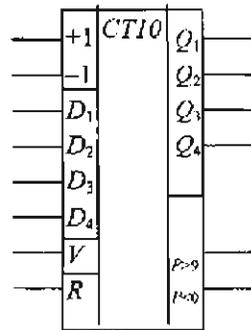


Рис. 3.45

Особый интерес представляют модели *ИЕ6, 7*. Рассмотрим их подробнее. На рис. 3.45 представлено условное графическое обозначение ИС *K155IE6*.

Входы «+1» и «-1» являются суммирующими и вычитающими входами. Входы  $D_1 \dots D_4$  служат для подачи на них кода в режиме предварительной записи информации. Сигнал на входе  $V$  разрешает запись упомянутого кода в счетчик. Эта особенность микросхемы *ИЕ6* позволяет значительно расширить ее функциональные возможности.

Во-первых, эту ИС можно использовать не только в качестве счетчика, но и регистра. Во-вторых, записав предварительно в счетчик код, например, эквивалентный числу 3, можно обеспечить коэффициент пересчета 7 (т. к. *ИЕ6* – считает до 10).

Вход  $R$  служит для подачи на него сигнала установки нуля.

Выходы  $Q_1 \dots Q_4$  являются разрядными, а  $P \geq 9, P < 0$  – выходами переноса при переполнении и обнулении соответственно. Наличие этих выходов существенно облегчает каскадирование ИС при увеличении разрядности счетчиков.

Микросхема *ИЕ7* имеет весьма сходную структуру и отличается только коэффициентом пересчета.

Счетчики-делители КМОП составляют несколько групп. Например, счетчики *ИЕ3...ИЕ5* предназначены для построения схем электронных секундомеров, часов, таймеров. Их можно использовать, например, для обслуживания индикаторов, цифровых мультиметров, термометров (рис. 3.46).

В счетчике, как в суммирующей структуре, в каскадах формируются переносы.

Счетчик, изображенный на рис. 3.41, является асинхронным – в нем переносы являются счетными сигналами для последующих триггров.

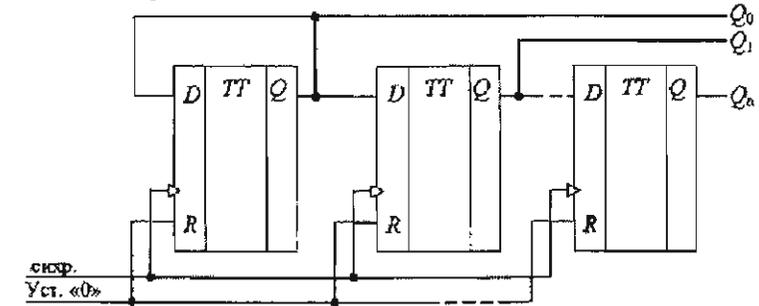


Рис. 3.42

В синхронных счетчиках (рис. 3.42) все триггеры получают тактовый импульс одновременно, поскольку их входы синхронизации соединяются параллельно. Поэтому триггеры переключаются практически одновременно, в результате чего быстродействие синхронных структур значительно выше. Так, например, предельная частота синхронизации счетчика *K155IE2* составляет 30 МГц, а этот же параметр ИС *K155IE6* – 100 МГц.

По направлению счета счетчики делятся на:

- суммирующие,
- вычитающие,
- реверсивные.

В суммирующих счетчиках выходной код увеличивается (рис. 3.41), поскольку сигнал переноса подается с прямого выхода предыдущего каскада.

В вычитающих счетчиках временные диаграммы являются зеркальным отражением диаграмм суммирующего счетчика, т. е. код уменьшается. Режим вычитания обеспечивается, если сигнал переноса брать с инверсного выхода предыдущего каскада.

Реверсивный режим можно обеспечить, переключая прямой  $Q$  и инверсный  $\bar{Q}$  выходы предыдущего триггера (рис. 3.43).

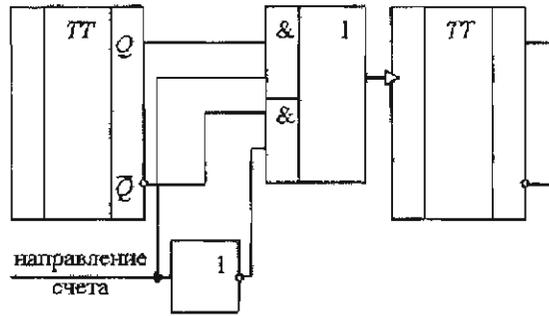


Рис. 3.43

По коэффициенту пересчета  $k$  счетчики делятся:

- на двоичные, с  $k = 2^N$ ,
- на недвоичные, с  $k \neq 2^N$ .

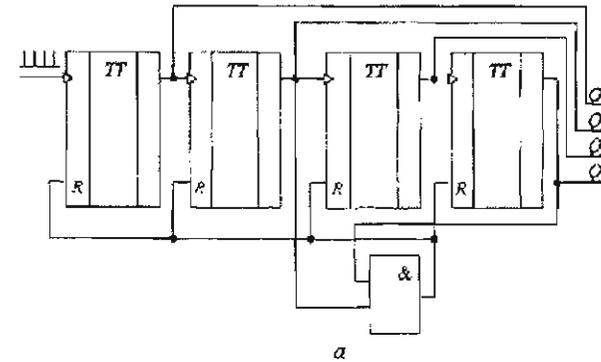
Все рассмотренные выше структуры имеют  $k = 2^N$ . Счетчики с  $k \neq 2^N$  реализуются следующим образом. В схему вводится дополнительный элемент И или И-НЕ – в зависимости от требуемой фазы его выходного сигнала. Количество входов этого элемента в общем случае равно количеству единиц в числе  $k$ . Выходы триггеров, имеющих единицы, связаны со входами элемента И, а выход этого элемента соединен по цепи обратной связи со входами установки нуля триггеров.

Поясним данный способ на примере счетчика с  $k = 10$ , т. е. устройства, формирующего двоично-десятичный код.

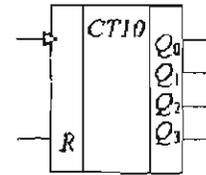
Логическая схема, условное графическое обозначение и временные диаграммы такого счетчика изображены на рис. 3.44, а–в.

Из временных диаграмм следует, что счетчик последовательно проходит 10 комбинаций с 0000 (число 0) до 1001 (число 9). При переключении на одиннадцатую комбинацию 1010, т. е. на 10-й импульс, схема И, выходы которой соединены с выходами второго и четвертого триггеров, переключается с лог. «0» в лог. «1». Этот сигнал лог. «1» принудительно устанавливает все разряды счетчика в лог. «0». Нули на выходах второго и четвертого триггеров вернут выходной сигнал схемы И в состояние лог. «0» и счетчик готов к следующему циклу.

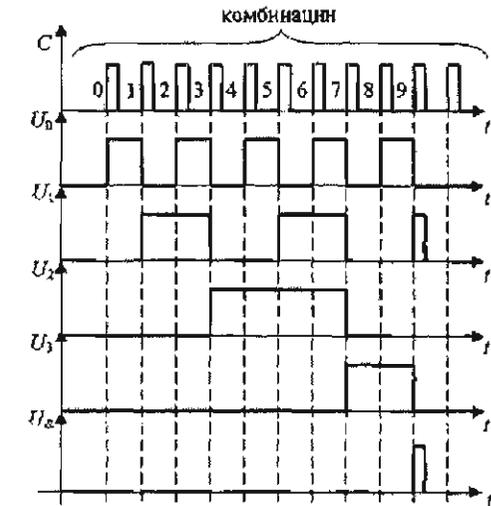
Аналогичным образом реализуются делители с другим коэффициентом пересчета.



а



б



в

Рис. 3.44

Микросхемы-счетчики представлены многими моделями в семействах ТТЛ и КМОП. Среди микросхем ТТЛ существуют следующие модели:

- ИЕ1 – делитель на 10;
- ИЕ2 – двоично-десятичный асинхронный счетчик;

сторону старших разрядов происходит увеличение числа в два раза. Таким образом, сдвигающий регистр можно использовать для умножения или деления числа на  $2^n$ , где  $n$  – количество сдвигов, равное количеству тактовых импульсов.

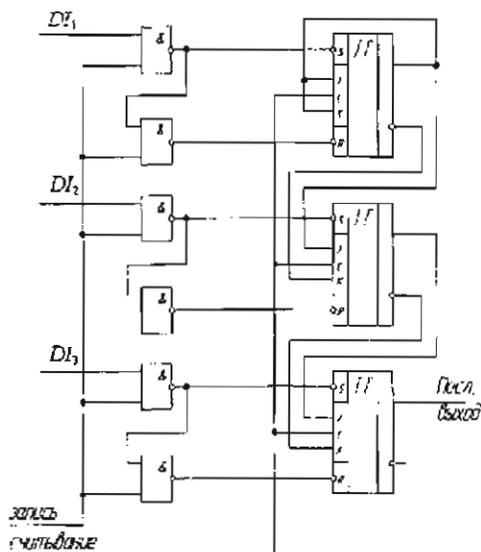


Рис. 3.49

В параллельно-последовательном регистре запись информации происходит в параллельном коде, а считывание – в последовательном. На рис. 3.49 показан пример построения такого регистра на JK-триггерах.

В приведенной схеме JK-триггеры дважды превращены в D-триггеры. Одно превращение осуществлено для организации записи с использованием вспомогательных инверсных входов  $S$  и  $R$  и добавлением двух элементов 2И-НЕ.

Запись числа в регистр в параллельном коде происходит при подаче числа на входы  $DI_1, \dots, DI_3$  и сигнала лог. «1» на вход «запись». Для считывания информации из регистра в последовательном коде JK-триггеры второй раз превращены в D-триггеры, у которых выходы соединены с входом  $D$  следующего.

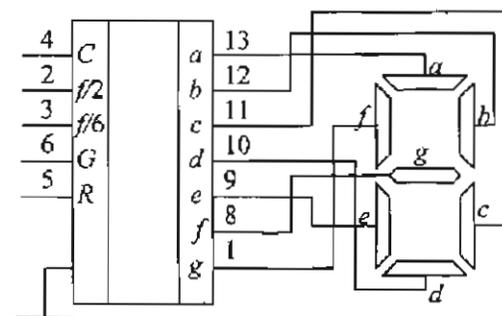


Рис. 3.46

Эта микросхема, по сути, совмещает в себе качества счетчика и семисегментного дешифратора. Такие функциональные узлы очень популярны у разработчиков портативной аппаратуры, поскольку имеют очень небольшую потребляемую мощность и зачастую используются совместно с жидкокристаллическими индикаторами.

Счетчики ИЕ8 и ИЕ9 имеют на своем выходе дешифраторы  $3 \times 8$  и  $4 \times 10$  соответственно. Микросхемы ИЕ11 и ИЕ14 – четырехразрядные, реверсивные. Разнообразные возможности деления частот открывает применение счетчиков ИЕ2, ИЕ10, ИЕ1, ИЕ19.

### Регистры

Регистрами называются устройства, реализованные на триггерах и служащие для:

- запоминания информации;
- преобразования информации – таких как параллельного кода в последовательный и наоборот.

По способу записи и считывания информации различают следующие типы данных устройств:

- *параллельный* регистр, в котором запись и считывание производят в параллельном коде;
- *последовательный* регистр – в нем запись и считывание происходит последовательным кодом;

- *параллельно-последовательный* регистр – запись происходит параллельным кодом, считывание – последовательным;
- *последовательно-параллельный* – запись последовательным кодом, считывание – параллельным.

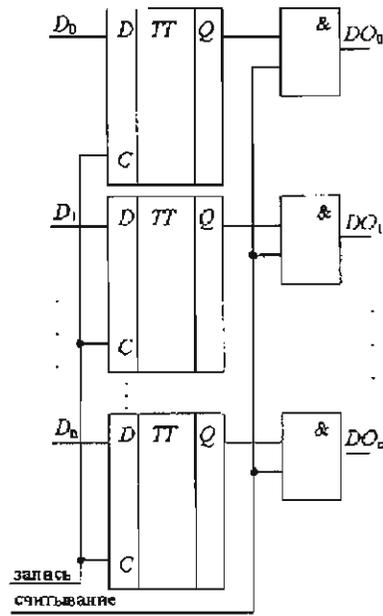


Рис. 3.47

Рассмотрим примеры построения схем перечисленных типов регистров.

В *параллельном регистре* число, представленное параллельным кодом, записывается во все *D*-триггеры одновременно, при подаче импульса записи на входы синхронизации триггеров (рис. 3.47). Считывание выполняется при подаче на выходные схемы И разрешающего импульса считывания.

*Последовательный регистр* может быть построен, например, на *D*-триггерах путем соединения выхода каждого триггера с входом *D* следующего (рис. 3.48, а).

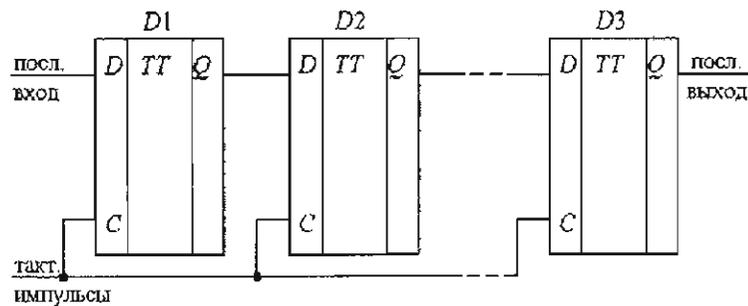


Рис. 3.48, а

Для записи и считывания одновременно на входы синхронизации всех триггеров подаются тактовые импульсы (рис. 3.48, б).

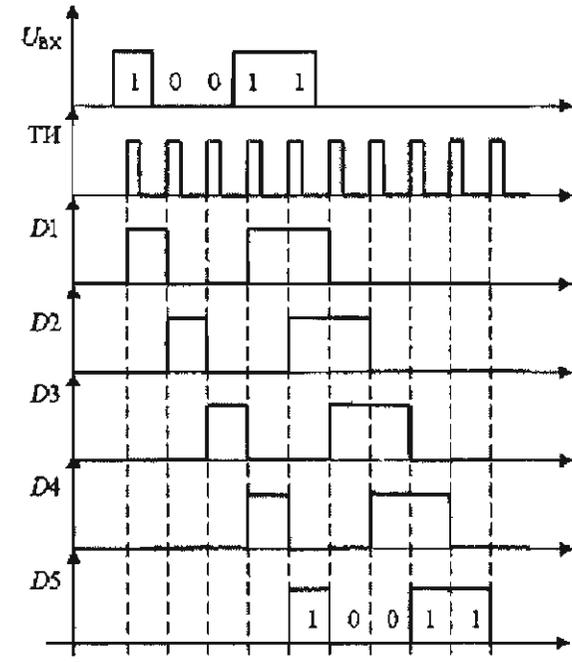


Рис. 3.48, б

Первым тактовым импульсом первая единица старшего разряда числа 10011 записывается в первый *D*-триггер. Вторым тактовым импульсом в первый и во второй триггеры записываются единицы. Третий тактовый импульс сдвинет эти единицы во второй и третий триггеры, а в первый запишется ноль.

В итоге все пятиразрядное число полностью будет записано в регистр после пятого тактового. При этом на выходе регистра (триггер *D5*) можно прочесть значения разряда, который был записан первым. Для считывания значений следующих четырех разрядов нужно подать еще четыре тактовых импульса. В двоичной системе счисления при сдвиге числа на один разряд в

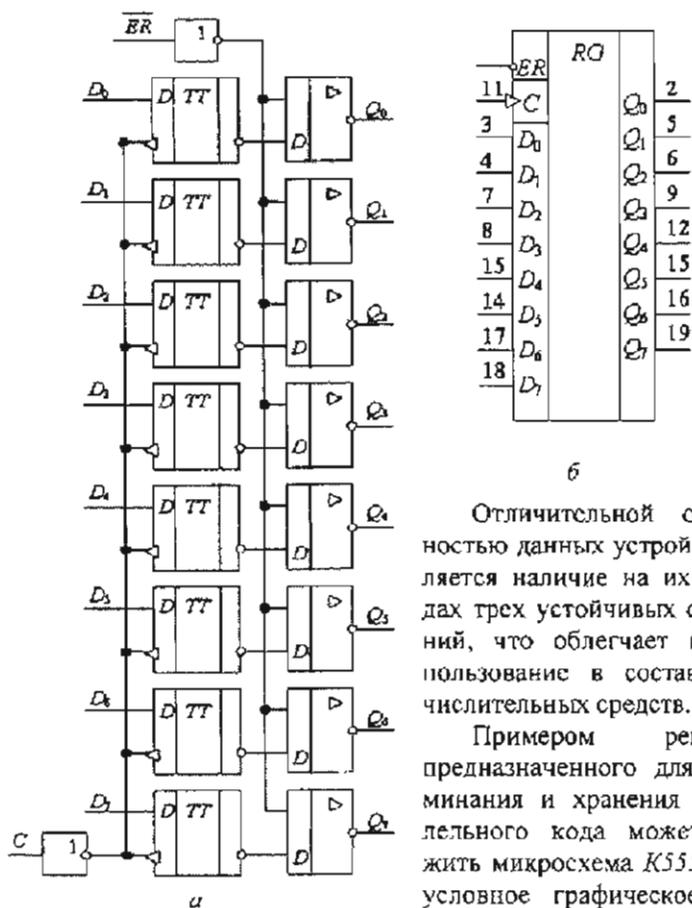


Рис. 3.51

Микросхема *K555IP23* – синхронный восьмиразрядный регистр с начальной установкой информации. Регистр имеет вход разрешения считывания *ER*, вход синхронизации *C*, построена на восьми *D*-триггерах и на восьми инверторах с тремя устойчивыми состояниями.

Отличительной особенностью данных устройств является наличие на их выходах трех устойчивых состояний, что облегчает их использование в составе вычислительных средств.

Примером регистра, предназначенного для запоминания и хранения параллельного кода может служить микросхема *K555IP23*, условное графическое обозначение и функциональная схема которой изображены на рис. 3.51, а, б.

Установка в исходное состояние для регистра принудительная, независимо от состояния триггеров регистра и уровней на входах *D* и *C* (с начальной установкой).

Перевод выходных инверторов в третье состояние производится путем подачи на вход *ER* низкого уровня.

Микросхемы регистров-преобразователей параллельного кода в последовательный кроме указанной операции выполняют функцию запоминания параллельного 4-х или 8-разрядного кода.

К указанной группе ИС относятся следующие:

– в семействе *ТТЛ* и *ТТЛШ* – *K155IP1*, *IP11*, *K555IP11*, *IP16*;

– в семействе *КМОП* – *K561IP6*, *IP9*.

В качестве примера рассмотрим микросхему *K555IP6* на рис. 3.52, а, б приведено условное графическое обозначение и функциональная схема данной ИС.

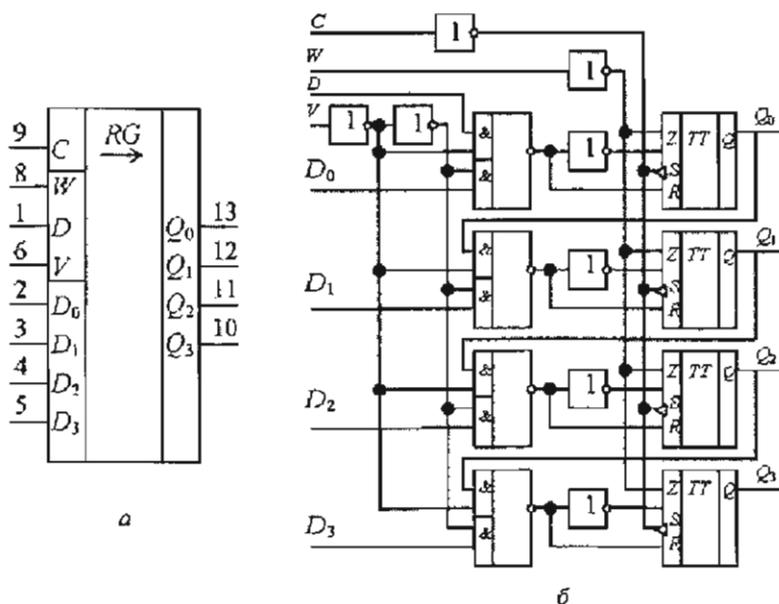


Рис. 3.52

Запись и сдвиг информации производится по спаду синхронимпульса на входе  $C$ . Регистр имеет вход последовательного ввода информации  $D$ , четыре информационных входа  $D_0...D_3$  (для подачи параллельного кода), вход выбора режима  $V$  и вход разрешения считывания  $W$ .

При низком уровне сигнала на входе выбора режима  $V$  регистр подготовлен к выполнению операции последовательного сдвига сигнала на входе  $D$  при наличии сигнала на входе  $C$ . При высоком уровне сигнала на входе  $D$  разрешена запись начального кода входов поразрядной информации.

Для операции последующего сдвига сигнала от состояния начального кода необходимо на вход  $D$  подать лог. «0».

Считывание информации разрешено при высоком уровне на входе  $W$ . При наличии на этом входе лог. «0» все выходы  $Q$  находятся в выключенном состоянии.

Регистр может осуществлять операцию сдвига вправо при внешнем объединении выходов с входами поразрядной информации от старшего разряда к младшему.

Микросхемы-регистры, выполняющие только функцию преобразователей параллельного кода в последовательный и наоборот, распространены в меньшей степени и представлены моделями  $K155ИР13$ ,  $K555ИР8$ ,  $ИР9$ ,  $ИР10$ .

$D$ -триггер из  $JK$  получается при подаче на вход  $J$  сигнала в прямой, а на  $K$  – в инверсной фазе, только вместо дополнительного инвертора используется инверсный выход предыдущего триггера. Исключение составляет первый триггер, у которого входы  $J$  и  $K$  объединены и соединены с основным входом этого же триггера.

Благодаря такой схеме после подачи импульса считывания первый триггер оказывается в состоянии лог. «0».

Для построения *последовательно-параллельных регистров* достаточно в последовательном регистре организовать параллельное считывание, используя дополнительные элементы И-НЕ, как это показано на рис. 3.50.

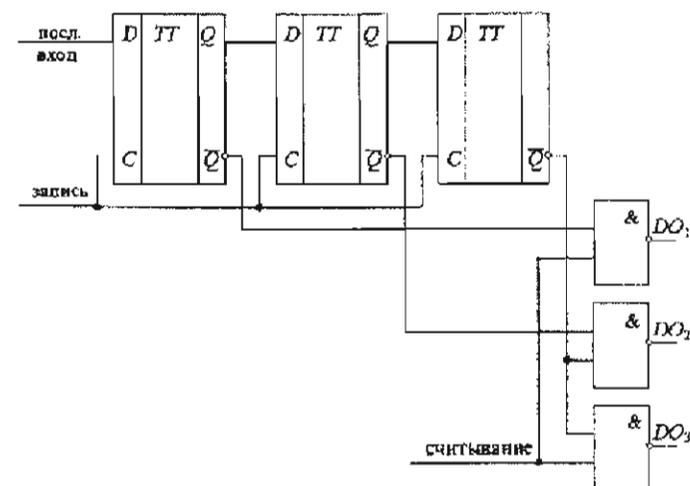


Рис. 3.50

При подаче сигнала лог. «1» на вход считывания разрядные сигналы поступают через элементы И-НЕ.

Микросхемы регистров для запоминания информации образуют многочисленную группу устройств разрядностью, равной 4 или 8.

В семействе ТТЛШ – это микросхемы  $K555ИР15$ ,  $ИР22$ ,  $ИР23$ ,  $ИР27$ ,  $ИР32$ .

В семействе КМОП – ИС  $K176ИР10$ ,  $K561ИР12$ .

Классификация БИС ЗУ по способу обращения к массиву элементов памяти является описанием способов внутреннего построения БИС.

Поэтому уместно ее рассматривать на конкретных примерах внутренней структуры микросхем.

#### 4.2. ОБЩИЕ ПРИНЦИПЫ ПОСТРОЕНИЯ БИС ЗУ

Структуры микросхем памяти, несмотря на многообразие типов, имеют очень много сходных признаков и обычно состоят из (рис. 4.1):

- совокупности организованных определенным образом запоминающих элементов (ЗЭ);
- схем адресации (поиска) нужного ЗЭ или группы ЗЭ;
- схем управления процессом записи/чтения данных.

Вместе с тем, увеличение разрядности ЭВМ вызывает частую необходимость в появлении специальных схем мультиплексирования адреса и данных, которые позволяют использовать одни и те же выходы БИС для передачи через них разнородной информации. Напомним, что использование двунаправленных информационных магистралей наряду с мультиплексированием адреса строк и столбцов являлись в недавнем прошлом необходимым условием при построении ЭВМ, поскольку эти два схемотехнических принципа позволяют резко сократить число выводов БИС МП-системы, а также число линий связи между блоками ЭВМ. Однако производительность системы ухудшается и при построении современных скоростных ЭВМ этот прием не используют.

Отметим некоторые особенности построения блоков структуры на рис. 4.1. Поскольку в настоящее время доминирующим является произвольный способ выборки ЗЭ (или группы ЗЭ), схемы адресации (выборки) представляют, как правило, дешираторы двоичного кода в позиционный. Наиболее рациональной организацией совокупности ЗЭ является матричная, состоящая из  $n$  строк и  $m$  столбцов. Схемы записи/чтения представляют собой двунаправленные элементы с тремя состояниями на выходе.

## ГЛАВА 4. БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Запоминающие устройства в целом составляют самостоятельный, широко развитый класс ИС средней, большой и сверхбольшой степени интеграции. Цифровые ЗУ предназначены для записи, длительного хранения больших объемов и выдачи информации, представленной в виде цифрового кода. Параметры БИС ЗУ наряду с параметрами микропроцессоров оказывают существенное влияние на характеристики вычислительных средств в целом. Поэтому на разработку микросхем данного класса ведущими фирмами тратятся огромные средства, сопоставимые с затратами на МП.

В настоящее время в мир выпускается широкая гамма БИС ЗУ информационной емкостью от десятков бит до сотен мегабит с различной мощностью потребления, быстродействием, стоимостью.

В данном разделе излагаются общие принципы построения БИС ЗУ, приводятся параметры современных микросхем и описываются особенности наращивания информационной емкости модулей памяти ЭВМ.

#### 4.1. КЛАССИФИКАЦИЯ И ХАРАКТЕРИСТИКИ ПОЛУПРОВОДНИКОВЫХ ЗУ

Классификацию цифровых полупроводниковых ЗУ можно выполнять по ряду признаков:

- функциональному назначению;
- способу хранения информации;
- технологическому исполнению;
- способу обращения к массиву элементов памяти.

В основу технической классификации БИС ЗУ положено их функциональное назначение.

По этому признаку все микросхемы памяти делятся на оперативные и постоянные ЗУ.

Оперативные ЗУ – ОЗУ (RAM) – устройства памяти цифровой информации, объединенные со схемами управления, обеспечивающими режимы записи, хранения и считывания ин-

формации. ОЗУ предназначены для хранения оперативной информации – *операндов, программ*. Информация в ОЗУ с выключением общего питания ЭВМ, как правило, разрушается.

Исключение составляют энергезависимые ОЗУ, в которых автономный источник питания некоторое время не дает «стереться» информации.

По способу хранения информации ОЗУ делятся на *статические (SRAM) и динамические (RDRAM)*.

В *статических ОЗУ* в качестве элементов памяти применены статические триггеры, имеющие, как известно, два устойчивых состояния. Поэтому информация в них разрушается только при принудительном стирании или при отключении напряжения источника питания.

В *динамических ОЗУ* в качестве запоминающих элементов используются, как правило, паразитные емкости «затвор-исток» полевых транзисторов и информация хранится в виде заряда на указанных емкостях. Данная группа БИС ЗУ имеет ряд преимуществ перед статическими ОЗУ, поэтому БИС динамических ОЗУ – чемпионы по информационной емкости. Недостатком их является необходимость регенерации (поддержки) зарядов емкостей запоминающих элементов и большее время обращения.

**Постоянные ЗУ – ПЗУ (ROM)** – устройства памяти, предназначенные для *хранения и считывания* информации. В них хранится, как правило, неизменяемая в процессе работы ЭВМ цифровая информация – *стандартные программы и подпрограммы, константы, таблицы функций и т. п.* Примером ПЗУ служит микросхема *BIOS*, предназначенная для организации базовой системы ввода/вывода. В отличие от ОЗУ информация в них «защита» постоянно и не разрушается при любом отключении питания.

По способу записи и хранения информации БИС ПЗУ делятся на:

- *Масочные ПЗУ (ROM)* – их программирование производится с помощью маски в процессе их изготовления;
- *Однократно программируемые ПЗУ-ППЗУ (PROM)* – программируются пользователем в начале эксплуатации;

– *Множкратно программируемые (репрограммируемые) ПЗУ-РППЗУ (RPRM)* – в них информация определенным образом может многократно пользователем быть стерта, а потом вновь записана.

Особый класс полупроводниковой памяти – регистровые ЗУ и кэш-память.

**Регистровые ЗУ** выполняют роль буферов и облегчают стыковку и управление при передаче информации между отдельными блоками ЭВМ.

**Кэш-память** – это ОЗУ относительно небольшой информационной емкости, помещенное в микропроцессор и выполняющее в нем роль внутреннего ОЗУ. Такая особенность позволяет резко увеличить производительность вычислительных средств.

Особые классификационные признаки – технология исполнения БИС ЗУ – во многом определяет такие характеристики микросхем, как *потребляемая мощность* и *быстродействие* и характерна чаще всего для определенного класса БИС ЗУ. Так, статические ОЗУ в подавляющем большинстве реализуются по КМОП-технологии; для динамических ОЗУ, масочных и репрограммируемых ПЗУ характерна ММОП-технология; однократно программируемые ПЗУ выполняются чаще всего по ТТЛШ-технологии. В табл. 4.1. приведены функциональные параметры БИС ЗУ, реализованных по различным видам технологий.

Таблица 4.1

Параметры	Тип технологии БИС ЗУ					
	Биполярные ЗУ			Полевые ЗУ		
	ЭСЛ	ТТЛШ	И <sup>2</sup> Л	ММОП	КМОП	БиКМОП
Инф. емк., бит	256 К	256 К	128 К	256 М	32 М	4 М
Время выбора адреса, нс	8...12	40...80	100...150	50...200	10...70	5...10
Потребляемая мощность, мВт	800...1000	400	300	200	20	10

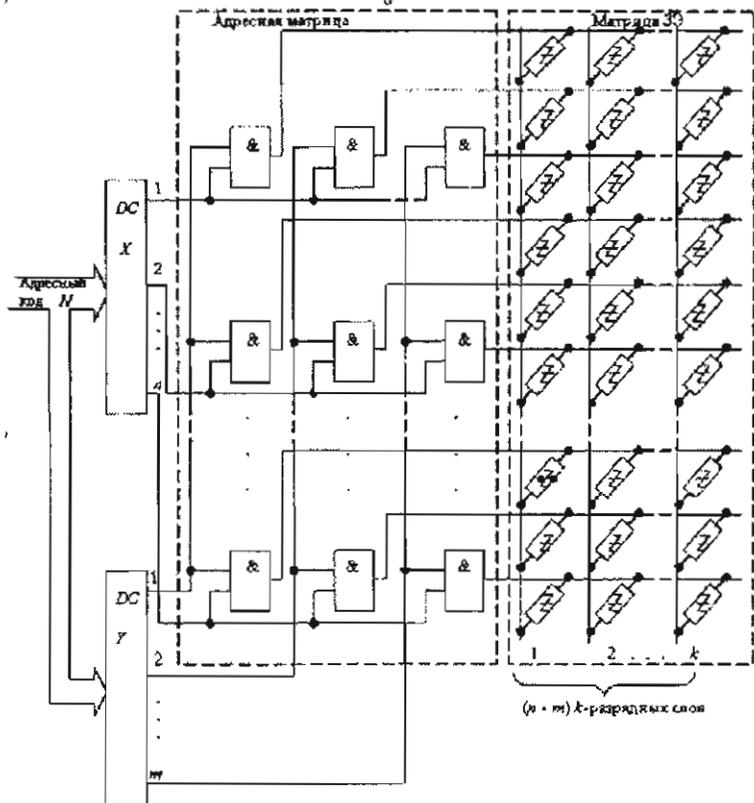


Рис. 4.3

Количество схем И здесь равно произведению  $n \times m$ , а выборка строки матрицы 3Э происходит при совпадении сигналов на выходах схем И.

Функцию 3Э в схеме, изображенной на рис. 4.3, выполняют некие сопротивления связи Z, которые имеют разное исполнение в различных типах ПЗУ. Их особенности будут рассмотрены ниже.

Информационная емкость ПЗУ обозначается обычно как произведение количества слов на разрядность слова. Например, БИС K573PФ6 имеет емкость  $8 \text{ К} \times 8$ , т. е. 8 Кбайт или 64 Кбита. Разрядность N адресного кода определим как  $\log_2 8192 = 13$ .

Перечисленные особенности позволяют сделать вывод о том, что различия в архитектуре БИС 3Э в основном определяются способами адресации матрицы 3Э. В наибольшей степени распространены два способа:

- *одноматричная организация с двумерной адресацией строк и столбцов матрицы*; применяется в основном при реализации БИС 3Э, предполагает однобитовую запись/чтение;
- *двухматричная организация с двумерной адресацией первой (адресной) матрицы и одномерной адресацией второй матрицы (матрицы 3Э)*; применяется при реализации БИС ОЗУ и ПЗУ, предполагает чтение многобайтным словом.

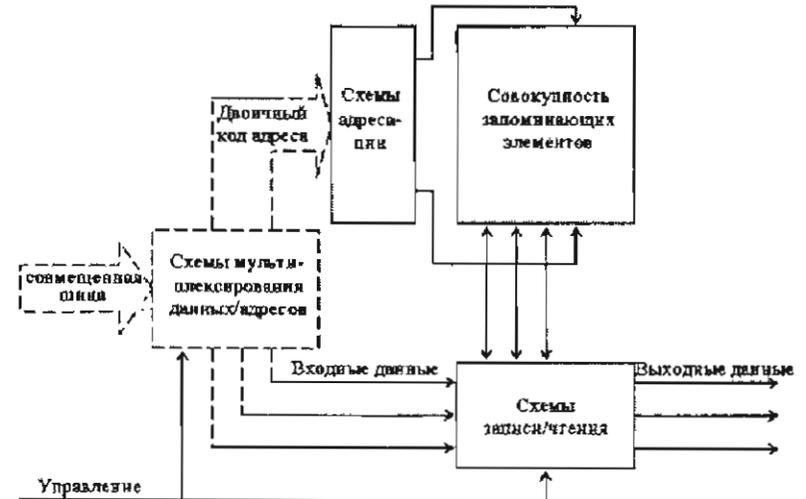


Рис. 4.1

Следует отметить, что в последние годы с появлением все более производительных микропроцессоров классическая одноматричная структура БИС ОЗУ претерпела значительные изменения и теперь во многом сходна со структурой БИС ПЗУ.

Рассмотрим более подробно внутреннюю структуру микросхем памяти.

### Одноматричная организация с двухмерной адресацией линий и однобитовым выходом

Матричная организация является наиболее оптимальной при построении не только ЗУ, но и других технических электронных средств, например индикаторных и печатающих устройств.

Применительно к ОЗУ матрица выглядит следующим образом (рис. 4.2). Она содержит  $n$  строковых и  $m$  столбцовых электродов и  $k = n \times m$  ЗЭ, включенных в места пересечения данных электродов. При наличии активных сигналов на определенной строке и столбце обеспечивается доступ к ЗЭ, находящемуся в пересечении этих выбранных электродов.

Адресные сигналы, действующие на  $X$  и  $Y$  – электродах матрицы, являются *позиционными кодами* с взаимноисключающими разрядными сигналами. Поэтому для преобразования двоичного адресного кода, действующего на шине адресов ЭВМ, в упомянутый позиционный код, в структуре БИС необходимо применение адресных дешифраторов  $DCX$  и  $DCY$ .

На рис. 4.2 показаны, кроме того, линии записи и чтения с буферизующими элементами, управляемыми противофазными сигналами  $WR$  и  $RD$ .

Между размерами матрицы (т. е. числами  $n$  и  $m$ ), количеством выходов дешифраторов  $DCX$  и  $DCY$  и разрядностью  $N$  адресного двоичного кода существует вполне определенная связь, описываемая соотношением  $n \times m = 2^N$ .

Например, БИС ОЗУ  $K1500PY490$  имеет информационную емкость  $64 \text{ К} \times 1$ , т. е. эта микросхема *однобитовая* по входу и выходу данных и имеет матрицу с количеством ЗЭ, равным 65536. Разрядность адресного кода  $N$  определяется как  $N = \log_2 65536 = 16$ .

Для квадратной матрицы ЗУ, когда  $n = m$ , на адресные входы  $DCX$  и  $DCY$  подается одинаковое число двоичных разрядов адресного кода – по восемь. Количество выходов дешифраторов  $n = m$  определяется как  $2^8 = 256$ .

Отсюда

$$n \times m = 256 \times 256 = 2^{16} = 2^{16} = 65536 \approx 64 \text{ К}.$$

Таким образом, обозначение информационной емкости БИС ЗУ однозначно определяет особенности ее внутренней структуры.

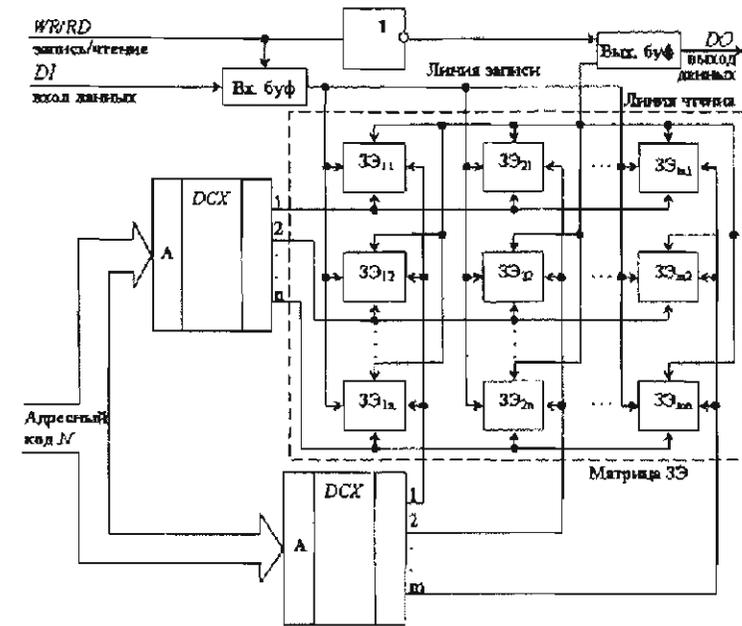


Рис. 4.2

### Двухматричная организация с многоразрядным выходом

Выше указано, что такая структура имеет две матрицы: адресную и матрицу запоминающих элементов. На рис. 4.3 приведена типичная внутренняя схема БИС ПЗУ, реализованная в соответствии с данным принципом построения.

Левая часть схемы очень сходна с приведенной на рис. 4.2 с той разницей, что в матрице вместо ЗЭ применены схемы И. Такое построение дешифратора строк для матрицы ЗЭ (правая часть схемы) позволяет резко упростить его структуру, поскольку  $DCX$  и  $DCY$  относительно просты, а матрица схем И имеет регулярную структуру, поэтому также проста и технологическом плане.

Потребляемая мощность таких микросхем ОЗУ за счет постоянной регенерации относительно постоянна и составляет сотни мВт.

За счет большей простоты ячеек ЗЭ и, соответственно, большей плотности элементов на кристалле БИС динамические ОЗУ доминируют на рынке микросхем оперативной памяти по такому параметру, как информационная емкость. Однако значительно худшее время выборки этого типа БИС ОЗУ позволяет использовать их только в качестве основной полупроводниковой оперативной памяти. В табл. 4.3 приведены технические характеристики некоторых микросхем динамических ОЗУ.

Таблица 4.3

Динамические ОЗУ

Фирма	Модель	Инф. емкость, бит	Время выборки, нс	Тип технологии
«Интеграл»	K565PY5B...Д	64 К × 1	230	нМОП
«Интеграл»	K565PY7B, Г	256 К × 1	340	нМОП
«Интеграл»	K565PV8A	256 К × 1	100	нМОП
TI	TMS4256-10	256 К × 1	100	нМОП
Toshiba	TC11000C	1 М × 1	150	нМОП
«Интеграл»	K565PY9B, Г	1 М × 1	150	нМОП
Siemens	SDA4000	4 М × 1	200	нМОП
Cypress Sem.	CY7C167	16 М(1 М × 16)	80	нМОП
Alliance Sem.	AS623-4098	32 М(2 М × 16)	100	нМОП
Samsung	K6E64-16	64 М(4 М × 16)	150	нМОП
Samsung	K6E56	256 М(32 М × 8)	200	нМОП

Запоминающие элементы микросхем ПЗУ как в технологическом, так и в схемотехническом плане значительно проще, чем аналогичные элементы ОЗУ, поскольку функциональное назначение ПЗУ предполагает неизменность хранящейся в них информации и, соответственно, неизменность схемных связей внутри БИС.

Рассмотрим конкретные особенности реализации ЗЭ для разных типов ПЗУ.

В *масочных ПЗУ* роль сопротивления связи Z (рис. 4.3), или просто линии связи, чаще всего выполняет нМОП-транзистор (рис. 4.7).

В отличие от примера, рассмотренного для БИС ОЗУ, адресная матрица здесь не может быть квадратной. Если предположить, что на вход DCX подается семь разрядов адресного кода, а на DCY, соответственно, шесть разрядов, то количество строк  $n$  адресной матрицы определяется как  $n = 2^7 = 128$ , а количество столбцов  $m$  как  $m = 2^6 = 64$ . Отсюда общее количество схем И и, соответственно, строк в матрице ЗЭ равно  $n \times m = 128 \times 64 = 8192$ , т. е. БИС K573PФ6 хранит 8192 восьмиразрядных слов.

### 4.3. ОСОБЕННОСТИ РЕАЛИЗАЦИИ ЗАПОМИНАЮЩИХ ЭЛЕМЕНТОВ И НОМЕНКЛАТУРА БИС ЗУ

К запоминающим элементам в микросхемах памяти предъявляются весьма жесткие требования к энергопотреблению, площади, занимаемой элементом на кристалле, к устойчивому выполнению необходимых функций.

В БИС ОЗУ в качестве *статических* запоминающих элементов часто используются триггеры, реализованные по нМОП технологии (рис. 4.4).

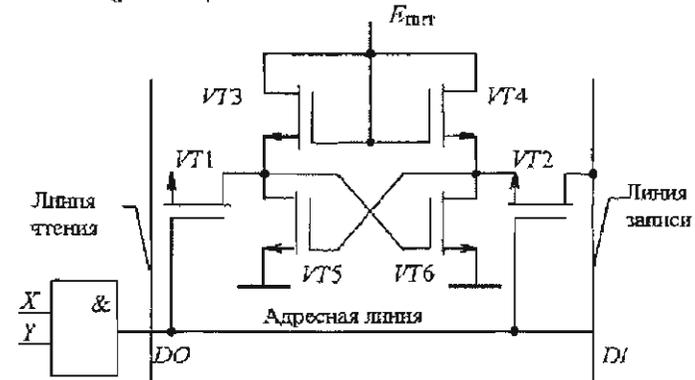


Рис. 4.4

Здесь транзисторы VT1, VT2 служат для целей управления, VT3, VT4 выполняют роль нагрузки, VT5, VT6-ключевые. В более современных конструкциях транзисторы VT3 и VT4 заменены на резистивную высокоомную нагрузку, что позволило снизить энергопотреблению и площадь на кристалле.

Таблица 4.2

## Статические ОЗУ

Фирма	Модель	Инф. емкость, бит	Время выборки, нс	Тип технологии
Hitachi	MCM10480-20	16 К × 1	20	ТТЛ
Hitachi	HM10480	16 К × 1	15	ЭСЛ
Интеграл	K1500PY470	64 К × 1	5	ЭСЛ
НИИМЭ	HM6287-55	64 К × 1	85	КМОП
НИИМЭ	KP537PY20	256 К × 1	70	КМОП
НИИМЭ	KP537PY21	256 К (32 К × 8)	50	КМОП
Toshiba	TC53256	256 К (32 К × 8)	40	КМОП
«Экситон»	KP1625PPI	1 М (128 К × 8)	100	КМОП
Toshiba	TC531000	1 М (128 К × 8)	35	КМОП
PUMA	P6852000X125	2 М (64 К × 32)	25	КМОП
Philips	HX84050VR	2,56 М (64 К × 40)	25	КМОП
Syntax	IBM14N6472-11	4,6 М (64 К × 72)	11	КМОП
Techn. Inc.	IBM14N6472-9	4,6 М (64 К × 72)	9	КМОП
Dallas Sem.	DS1258	4 М (152 К × 8)	70	КМОП
Dallas Sem.	DS1270	16 М (2 М × 8)	70	КМОП
Dallas Sem.	DS3832	32 М (1 М × 32)	70	КМОП
Atmel	AT49BV322A	32 М (4 М × 8)	8	КМОП

Доминирующей при производстве статических ОЗУ является КМОП-технология в силу мизерной потребляемой мощности в статическом режиме, поскольку для ОЗУ – это режим хранения информации и в этом режиме потребляемая мощность КМОП-элемента очень мала. Типичная схема ЗЭ КМОП статического ОЗУ изображена на рис. 4.5.

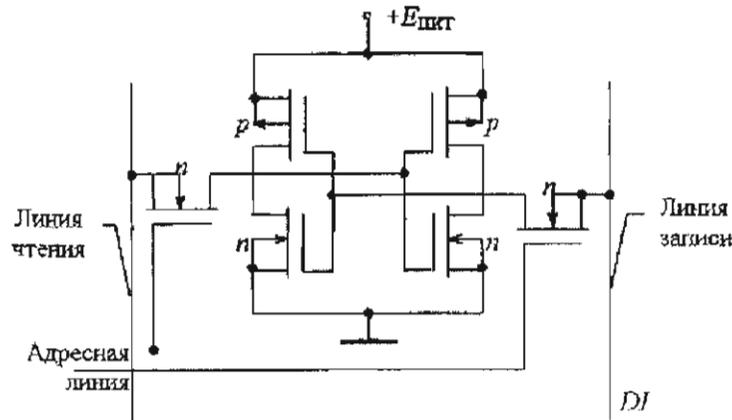


Рис 4.5

В плечах триггера использованы комплементарные пары  $n$  и  $p$ -транзисторов. В таком ЗЭ при передаче логических сигналов один из транзисторов всегда открыт, а другой закрыт, что и определяет весьма малую мощность потребления от источника питания.

Кроме описанных схем ЗЭ в ячейку памяти статического ОЗУ входят, как правило, усилители-регенераторы, которые исключают опасность разрушения информации в режиме считывания. Схема этих элементов весьма сходна со схемой самих триггеров.

В табл. 4.2 приведены данные современных микросхем статических ОЗУ. Технология КМОП позволяет реализовать микросхемы с весьма высоким быстродействием ( $t_B = 9 \dots 25$  нс) и впечатляющей – до нескольких десятков Мбит – информационной емкостью, что делает их весьма привлекательными для применения в качестве *кэш-памяти* в многоразрядных высокопроизводительных ЭВМ.

Другой класс БИС оперативной памяти – *динамические ОЗУ* – реализуются на более простых  $n$ МОП ЗЭ (рис. 4.6).

В таком ЗЭ хранение информации осуществляется на емкости  $C_{зз}$ , а транзистор  $VT1$  выполняет роль ключа выборки. Емкость  $C_{зз}$  – это паразитная емкость «затвор-исток» полевого транзистора. Поскольку эта емкость очень невелика ( $\sim 3 \dots 5$  пФ), заряд на ней необходимо поддерживать, что и делает усилитель-регенератор, подзаряжая емкость  $C_{зз}$  с частотой примерно  $200 \dots 400$  кГц.



Рис. 4.6

Варианты реализации сопротивления  $Z$  на рис. 4.8 и 4.9 осуществляются как по биполярной (ТТЛШ), так и по полусвой (КМОП,  $n$ МОП) технологиям.

*Многоэмиттерный транзистор + плавкая перемычка*  
(рис. 4.10)

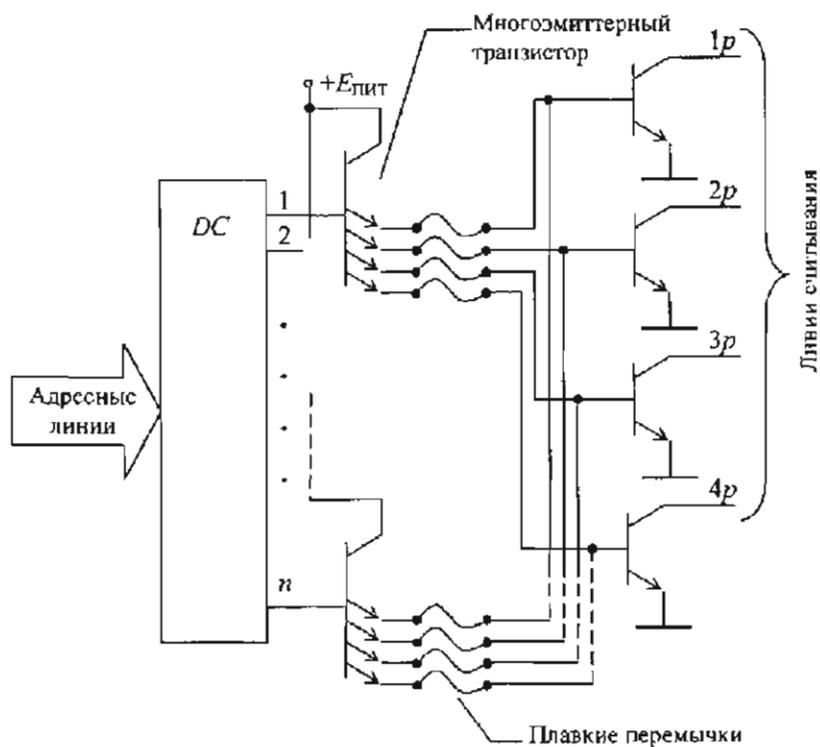


Рис. 4.10

Данная структура изображена более подробно, поскольку является весьма популярной при реализации ППЗУ. Такая БИС содержит  $n$  4-разрядных слов. Последовательно с каждым эмиттером включена плавкая перемычка; пережиганием необходимых из них производится программирование. Наиболее отрабо-

К адресным линиям присоединены затворы только тех  $n$ МОП-транзисторов, в которых должен быть записан лог. «0». Отрицательный сигнал на выбранной адресной линии откроет соответствующие транзисторы. Эти открытые транзисторы соединяют линию считывания с нулевым потенциалом, что обеспечит на заземленной линии потенциал «0». На незаземленных линиях будут присутствовать потенциалы «1». Масочные ПЗУ достаточно дороги из-за относительно небольшого объема выпуска этого типа БИС. В табл. 4.4 приведены номенклатура и параметры масочных ПЗУ.

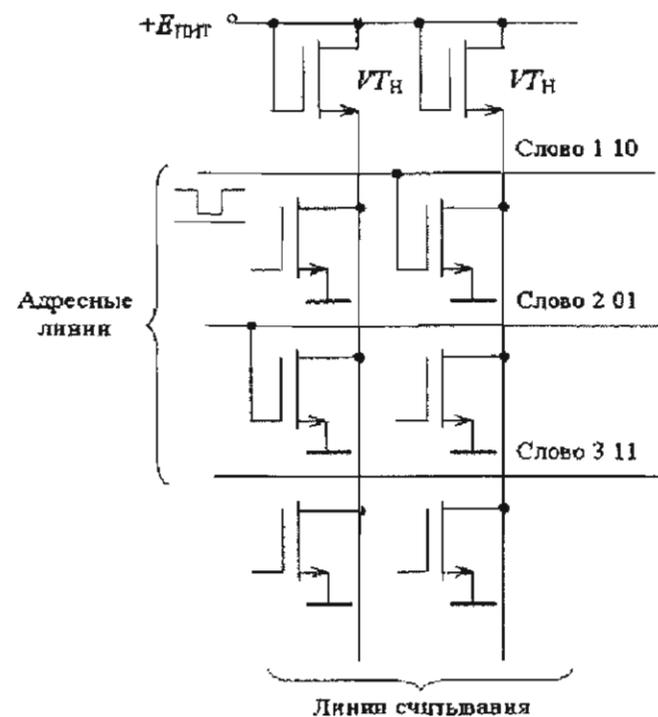


Рис. 4.7

Таблица 4.4

## Масочные ПЗУ

Фирма	Модель	Инф. емкость, бит	Время выборки, нс	Тип технологии
З-д «Квазар»	KP588PE1A	64 К (4 К × 16)	450	КМОП
З-д «Квазар»	KP568PE3	128 К (16 К × 8)	600	нМОП
З-д «Квазар»	KP568PE5	1 М (128 К × 8)	500	нМОП
ОАО Ангстрем	KP1013PE4	1М (128 К × 8)	100	нМОП

Однократно программируемые ПЗУ имеют большую сложность и габариты по сравнению с масочными ПЗУ, однако их большая гибкость покрывает эти недостатки.

БИС ПЗУ реализуются, как правило, на основе ЗЭ, имеющих в своей схеме плавкие перемычки. Сами плавкие перемычки реализуются из тугоплавких материалов и в процессе программирования избирательно пережигаются повышенным током. Используются следующие варианты реализации сопротивлений связи Z:

*Диод + плавкая перемычка (рис. 4.8)*

Пользователь, поместив БИС ПЗУ в специальное устройство – программатор, с помощью, как правило, ЭВМ, программирует матрицу ПЗУ. При этом программатор для обеспечения разрыва между адресной линией и линией считывания сформирует в необходимый момент импульс тока, который уничтожает плавкую перемычку. Диод, включенный последовательно с плавкой перемычкой, обеспечивает протекание тока через сопротивление Z только в одном направлении, что необходимо для правильного функционирования схемы. В результате программирования одни сопротивления Z становятся очень большими, так как в этом месте – обрыв, а другие – сохраняют небольшие значения в одном направлении и значительные – в обратном.

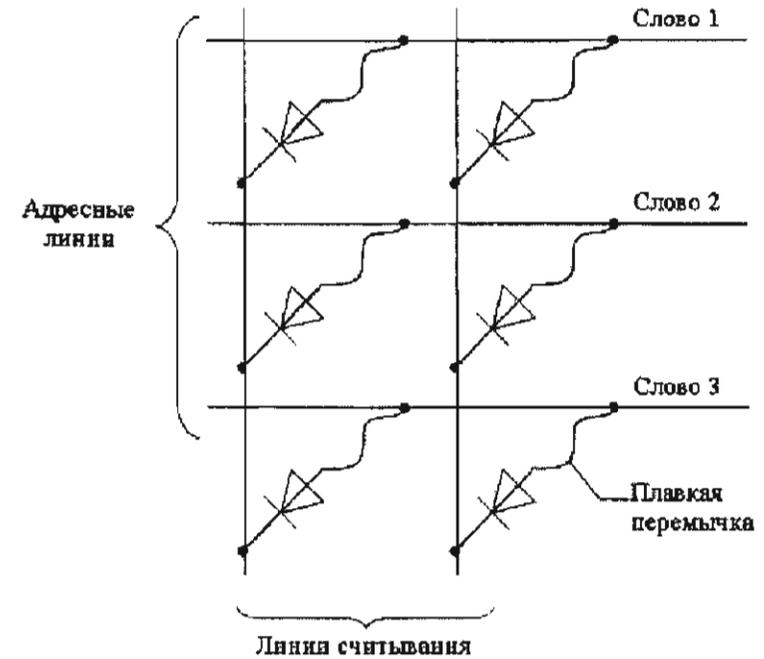


Рис. 4.8

*Диод + диод (включены встречно, рис. 4.9)*

При программировании в нужной ячейке один из диодов пробивается (закорачивается), в результате один сопротивления Z остаются очень большими, другие приобретают небольшое значение в одном направлении и значительные в обратном.

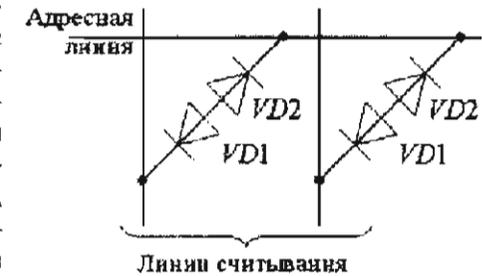


Рис. 4.9

Рассмотрим конкретные примеры реализации данных способов. Например, нужно организовать модуль памяти ОЗУ емкостью  $512 \text{ К} \times 16$ , используя БИС КР537РУ20 (табл. 4.6), имеющие информационную емкость  $256 \text{ К} \times 1$ .

Информационную емкость модуля можно представить в виде прямоугольника (рис. 4.12).



Рис. 4.12

Из рисунка следует, что модуль должен содержать две страницы по  $256 \text{ К} \times 16$  каждая, т. е. количество страниц в модуле определяется как:

$$K_{\text{стр}} = \frac{N_{\text{мод}}}{N_{\text{бис}}},$$

где  $N_{\text{мод}}$  – количество адресов модуля;

$N_{\text{бис}}$  – количество адресов БИС, т. е.  $K_{\text{стр}} = 512\text{к}/256\text{к} = 2$ .

Определим общее количество БИС в модуле из выражения:

$$Q_{\text{бис}} = \frac{N_{\text{мод}}}{N_{\text{бис}}} \cdot \frac{n_{\text{мод}}}{n_{\text{бис}}},$$

где  $n_{\text{мод}}$  – разрядность данных модуля;

$n_{\text{бис}}$  – разрядность данных БИС.

Для нашего случая  $Q_{\text{бис}} = 32$ .

При этом каждая из страниц модуля должна содержать 16 БИС, поскольку они однобитовые по входу и по выходу данных, т. е., по сути, парой составляют одну строку в прямоугольнике на рис. 4.12.

тапной технологией при производстве таких ПЗУ является ТТЛШ. ТТЛШ БИС ПЗУ имеют достаточно высокое быстродействие при удовлетворительной информационной емкости (табл. 4.5).

Таблица 4.5  
Однократно программируемые ПЗУ

Фирма	Модель	Инф. емкость, бит	Время выборки, нс	Тип технологии
НИИМЭ	КР556РТ161	64 К ( $8 \text{ К} \times 8$ )	35	ТТЛШ
НИИМЭ	КР556РТ9	128 К ( $16 \text{ К} \times 8$ )	50	ТТЛШ
НИИМЭ	КР556РТ10	256 К ( $32 \text{ К} \times 8$ )	100	ТТЛШ
Rockwell	R09256D	256 К ( $32 \text{ К} \times 8$ )	200	МОП

**Репрограммируемые ПЗУ (РППЗУ).** Эта группа ПЗУ реализуют, в основном, по МОП-технологии и используют физическое явление хранения электрического заряда на границе между двумя различными диэлектрическими средами или проводящей и диэлектрической средой.

Рассмотрим весьма популярную структуру 3Э РППЗУ с так называемым «плавающим» затвором (рис. 4.11), имеющую лавинно-инжекционный механизм «заряд – разряд» упомянутого затвора.

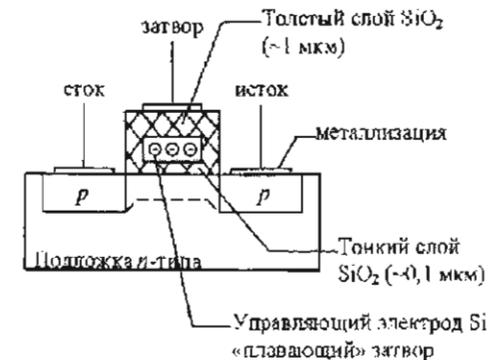


Рис. 4.11

«Плавающий» затвор выполняется из поликристаллического кремния Si и помещен внутри слоя диэлектрика SiO<sub>2</sub>. При программировании соответствующие «плавающие» затворы заряжаются током лавинной инжекции части носителей заряда, которые попадают в упомянутый затвор через тонкий слой.

Наведенный заряд держит транзистор в открытом состоянии и может сохраняться до 8...10 лет.

Стирание информации производится путем облучения кристалла БИС ультрафиолетовым излучением, в результате чего заряд в «плавающем» электроде рассасывается. Число циклов программирования достигает 10 000 раз.

Другой способ стирания информации в подобных РППЗУ основан на размещении над «плавающим» затвором второго затвора (управляющего), подача напряжения, на который приводит к рассасыванию заряда за счет туннелирования, аналогично написанному выше.

Таблица 4.6

Репрограммируемые ПЗУ

Фирма	Модель	Инф. емкость, бит	Время выборки, нс	Тип технологии
<i>РППЗУ с электрическим стиранием</i>				
<i>Motorola</i>	<i>MCM2833-15</i>	32 К(4 К × 8)	150	<i>n</i> МОП
<i>3-й «Квазар»</i>	<i>KM1611PP2</i>	256 К(32 К × 8)	300	<i>n</i> МОП
<i>Motorola</i>	<i>MCM6836E16</i>	128 К(16 К × 8)	250	<i>n</i> МОП
<i>Австрем</i>	<i>K1624PP3</i>	1 М(128 К × 8)	300	<i>n</i> МОП
<i>Motorola</i>	<i>MCM6836GE16</i>	512 К(64 К × 8)	300	<i>n</i> МОП
<i>РППЗУ с ультрафиолетовым стиранием</i>				
<i>3-й «Квазар»</i>	<i>KC573PФ9</i>	256 К(32 К × 8)	350	<i>n</i> МОП
<i>3-й «Квазар»</i>	<i>KC573PФ10</i>	1 М(128 К × 8)	350	<i>n</i> МОП
<i>3-й «Квазар»</i>	<i>KC1626PФ3</i>	256 К(32 К × 8)	150	КМОП
<i>Hitachi</i>	<i>HN27C256-20</i>	256 К(32 К × 8)	200	<i>n</i> МОП
<i>AMD, NSC</i>	<i>AM27512-25</i>	512 К(64 К × 8)	250	<i>n</i> МОП
<i>SGS-Thomson</i>	<i>M27C320</i>	32 М(2 М × 16)	70	КМОП
<i>SGS-Thomson</i>	<i>M27C640</i>	64 М(4 М × 16)	70	КМОП

Генерация повышенных напряжений (~10...20 В), необходимых для программирования таких ПЗУ, часто осуществляется специальными схемами, расположенными на кристалле самой БИС.

В табл. 4.6 приведены данные современных БИС РППЗУ, которые представлены на рынке микросхем памяти моделями с ультрафиолетовым и с электрическим стиранием.

#### 4.4. ОРГАНИЗАЦИЯ МОДУЛЕЙ ПОЛУПРОВОДНИКОВОЙ ПАМЯТИ

Модули ЗУ представляют собой функционально законченные устройства, оптимальные для данных БИС ЗУ, обеспечивающие заданный информационный объем и быстродействие, а при необходимости позволяющие наращивать информационный объем ЗУ по адресам и разрядам.

Современные ЭВМ требуют применения модулей ЗУ весьма большой информационной емкости (до нескольких Гбайт), работающих с высокой скоростью и потребляющих минимальное количество электроэнергии.

Существует три способа увеличения информационной емкости накопителя модуля ЗУ:

1) Увеличение количества разрядов ЗУ, осуществляемое за счет объединения адресных входов БИС ЗУ; информационные входы и выходы БИС ЗУ являются входами и выходами модуля ЗУ увеличенной разрядности;

2) Увеличение количества слов в модуле ЗУ, реализуемое с помощью объединения одноименных информационных (входных и выходных) шин БИС ЗУ. Адресные входы БИС, относящиеся к одноименным разрядам хранимых слов, объединяются и соединяются с частью разрядов адреса. Другая часть разрядов кода адреса подается на дешифратор выбора микросхем (DC CS), с помощью которого производится выбор БИС ЗУ;

3) Увеличение информационной емкости за счет приращенного количества слов и их разрядности производится путем комбинирования двух первых способов.

рядов адресного кода  $A_{14}, A_{15}$  в позиционный, с взаимоисключающими сигналами. Поскольку ПЗУ используется только для чтения, в данной схеме отсутствуют входы данных, а также входы управления записью/чтением.

Выше были изложены общие принципы построения модулей ЗУ. Более детальное проектирование предполагает расчет нагрузочных параметров, как резистивных, так и емкостных; их влияние на быстродействие, а также энергетические параметры.

В заключение можно отметить следующие особенности реализации современных СБИС ЗУ:

- микросхемы ОЗУ в настоящее время являются 8-, 16- и 32-разрядными устройствами и их внутренняя организация мало отличается от организации ПЗУ;
- в устройствах, где не требуется высокая скорость обмена между ЗУ и ЦП, предпочтительно применение микросхем ОЗУ с мультиплексированными входами данных и адреса, поскольку этот прием позволяет резко сократить число связей в системе и, соответственно, повысить ее надежность;
- СБИС ОЗУ часто имеют в корпусе автономный источник питания, что делает их энергонезависимыми;
- микросхемы репрограммируемых ПЗУ имеют встроенные схемы для стирания данных;
- к наиболее перспективным среди ПЗУ следует отнести сегнетоэлектрическую память (FRAM), обладающую высокими быстродействием, неограниченным числом циклов перезаписи, большой плотностью размещения элементов на кристалле.

Правильность определения количества БИС определяется следующим образом:  $512 \text{ К} \times 16 = 8 \text{ Мбит}$  и далее  $\rightarrow 8 \text{ Мбит} / (256 \text{ К} \times 1) = 32$ .

Упрощенная принципиальная схема такого модуля ОЗУ изображена на рис. 4.13.

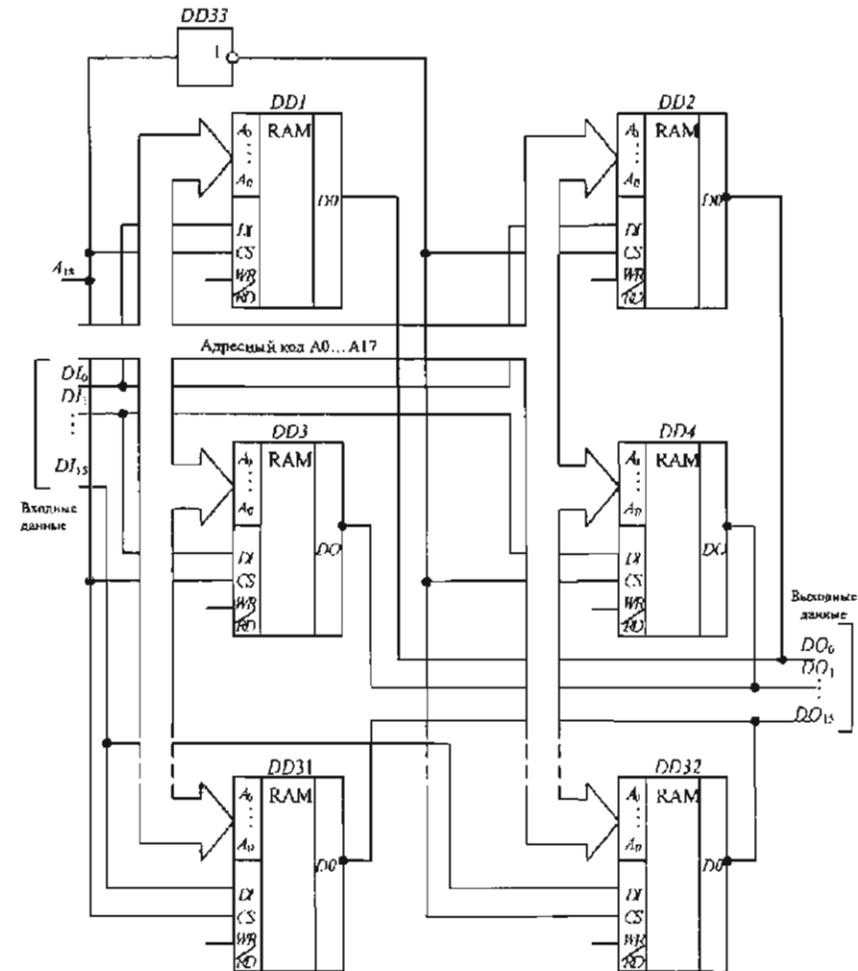


Рис. 4.13

Здесь одна страница – нечетные БИС (первый столбец), вторая страница – четные БИС (второй столбец). На адресные входы  $A_0...A_{17}$  БИС подаются 18 разрядов входного адресного кода. Старший разряд  $A_{18}$  используется для переключения страниц модуля. Он подается в прямой фазе на входы  $CS$  нечетных БИС, а в инверсной фазе (через инвертор  $DD33$ ) – на четные БИС.

Напомним, что сигнал  $CS$  (выбор кристалла) переводит выходы данных микросхем той страницы, которая не участвует в данный момент в выборке, в третье – высокоомное состояние. В итоге потенциалы на выходах БИС этой страницы не оказывают влияния на выходные потенциалы модуля. Активной является другая страница.

Поскольку каждая пара ( $DD1$  и  $DD2$ ,  $DD3$  и  $DD4$  и т. д.) образует одну строку модуля, их выходы  $DI$  (входы данных) и выходы  $DO$  (выходы данных) объединены попарно.

Выходы  $WR/RD$  (запись/чтение) БИС, относящихся к одной странице объединены, за счет чего только одна страница участвует в записи/чтении.

Рассмотрим другой пример, в котором используется большее количество страниц. Модуль ПЗУ, емкостью  $64 \text{ К} \times 8$  должен быть реализован на основе БИС  $KP556PT9$  (табл. 4.5) емкостью  $16 \text{ К} \times 8$ .

По аналогии с предыдущим случаем, информационная емкость модуля выглядит следующим образом (рис. 4.14):



Рис. 4.14

Общее количество БИС в модуле равно:

$$Q_{\text{БИС}} = \frac{N_{\text{мод}}}{N_{\text{БИС}}} \cdot \frac{n_{\text{мод}}}{n_{\text{БИС}}} = \frac{64\text{к}}{16\text{к}} \cdot \frac{8}{8} = 4.$$

Количество страниц модуля определим как:

$$K_{\text{стр}} = \frac{N_{\text{мод}}}{N_{\text{БИС}}} = \frac{64\text{к}}{16\text{к}} = 4.$$

Поэтому модуль ПЗУ должен иметь четыре страницы по одной микросхеме каждая.

Упрощенная принципиальная схема модуля изображена на рис. 4.15.

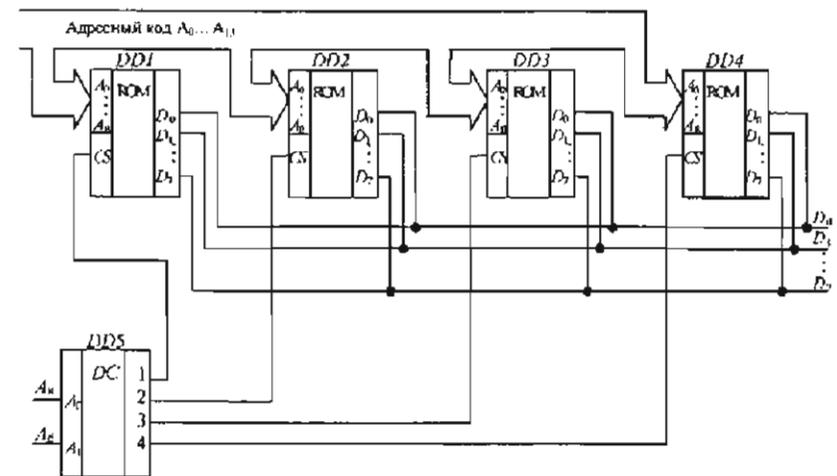


Рис. 4.15

От схемы, приведенной на рис. 4.13, она отличается тем, что считывание данных производится сразу 8-разрядным кодом  $DO_0...DO_7$ ; выбор нужной страницы из 4-х производится с помощью дешифратора  $DD5$  путем преобразования старших раз-

ной спецификой архитектуры, набором функций и устройств на кристалле; имеют память программ и данных, устройства цифрового и аналогового ввода/вывода данных, генератор ШИМ-последовательностей. Новейшие из них реализуют функции *цифровых процессоров* сигналов.

Следует отметить, что подобное компактное исполнение микроконтроллеров возможно вследствие применения памяти относительно небольшого объема – до 64 Кбайт, в отличие от ЭВМ, решающих задачи первого класса и требующих полупроводниковой памяти порядка нескольких Гбайт.

ЦП первого класса за счет высокой универсальности программного обеспечения представляют собой устройства с открытой архитектурой, позволяющих реализовать ЭВМ, по сути, в виде «конструктора для взрослых». Именно этот класс устройств, реализуемых массовыми тиражами в персональных ЭВМ и серверах, являются видимой обычному пользователю «надводной частью айсберга» микропроцессорной техники.

Однако сфера применения микропроцессоров гораздо более обширна, чем может показаться на первый взгляд.

Одновременно с превращением персонального компьютера в удобный и доступный инструмент инженера, бухгалтера, студента, происходит колоссальная интеллектуализация систем управления станков, машин, механизмов, периферийных устройств ЭВМ, бытовой техники, автомобилей и т. п. Все это сфера применения микроконтроллеров.

Такое деление МП на разные классы обусловлено тем, что универсальные процессоры имеют во многих применениях высокую избыточность по производительности, по стоимости, по сложности обрамляющих устройств.

В этих вариантах на первый план выходит компактность, надежность и стоимостные показатели вычислительных средств и здесь специальные процессоры – микроконтроллеры – наиболее рациональный вариант.

Кроме того, некоторые задачи – в частности цифровая обработка сигналов – неудобна для решения традиционно применяемыми в компьютерной технике процессорами.

Следует отметить, что еще сравнительно недавно существовал особый класс микропроцессоров – устройства секционного типа, которые имели наращиваемую разрядность, микропро-

## ГЛАВА 5. ЦЕНТРАЛЬНЫЕ ПРОЦЕССОРЫ И ДРУГИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ МИКРОПРОЦЕССОРНЫХ КОМПЛЕКТОВ

Широкое внедрение средств вычислительной техники стало возможным благодаря микроминиатюризации цифровых устройств обработки и хранения информации. Появление термина «микро-ЭВМ» обусловлено не ограниченностью функций или степенью интеграции данного электронного устройства, а его массогабаритными показателями.

Поэтому, по прошествии времени, когда микроэлектронная элементная база, реализованная в виде СБИС, которые содержат сотни миллионов транзисторов, вытеснила громоздкие конструкции больших ЭВМ, приставка «микро» как-то потерялась. В результате сейчас, в начале XXI в., когда речь заходит об ЭВМ, все понимают, что это весьма компактное устройство, содержащее небольшое количество микросхем.

Основой ЭВМ является центральный процессор или микропроцессор, конструктивно реализованный в виде одной или, что гораздо реже, в виде нескольких БИС. Его характеристики во многом определяют потребительские качества самой ЭВМ.

Другими необходимыми блоками ЭВМ являются устройства памяти и ввода/вывода информации, часть которых реализуется также с использованием БИС.

В данном разделе рассматриваются вопросы построения БИС МП и ряда других устройств, входящих в состав микропроцессорных систем, а также приводятся сведения о конкретных интегральных микросхемах, применяемых в средствах вычислительной техники.

### 5.1. ОБЩИЕ СВЕДЕНИЯ О МИКРОПРОЦЕССОРАХ

#### *Основные понятия и определения*

Все многообразие решаемых микропроцессорными системами задач обычно делят на два больших класса:

- управление потоками данных;
- обработка информации о событиях и сигналах в реальном масштабе времени.

Каждый класс задач предъявляет свои специфические требования к центральному процессору, что отражается, прежде всего, в наборе функций, выполняемых БИС, а также в системе команд.

К первому классу относятся задачи, требующие быстрой обработки значительных объемов информации, например, в средствах поддержки компьютерных сетей, в системах управления сложным оборудованием и мобильными объектами, в системах анализа и синтеза видеоизображений, когда процессор должен выполнять множество различных вычислительных операций, в т. ч. с плавающей запятой. Для решения таких задач используются, как правило, высокопроизводительные многоуровневые универсальные центральные процессоры.

Ко второму классу относятся задачи, требующие быстрой реакции микропроцессорной системы на изменение внешних условий (на срабатывание технологических датчиков, изменение параметров управляемого объекта и обрабатываемого сигнала и т. п.).

Здесь относятся, как правило, системы управления приводными устройствами производственных установок, роботов, средств распределенной автоматизации. Эти задачи требуют специализированных микроконтроллеров с большим объемом размещенных на кристалле БИС блоков ЭВМ, включая реализацию памяти программ и данных, устройств ввода/вывода, что сокращает аппаратные затраты и удешевляет изделия со встроенной системой управления.

Рассмотрим основные определения, касающиеся МП-систем.

*Микропроцессор* или центральный процессор – СБИС, выполняющая вычислительные операции над данными, управляющая их перемещением между блоками ЭВМ и другими процессами внутри всей системы. МП служат основой для различных универсальных и специализированных ЭВМ, микроконтроллеров, приборов и т. д.

*Микропроцессорные средства* – наборы совместимых по уровням сигналов и представлению информации БИС – таких как МП, микросхем памяти, устройств синхронизации и управления вводом/выводом информации, контроллеров и т. п.

*ЭВМ* – набор перечисленных микросхем, объединенных в одну конструктивную единицу, этот набор может быть реализован в кристалле одной БИС.

*Микроконтроллер* – это ЭВМ с относительно небольшими вычислительными ресурсами, архитектура и система команд которой ориентированы не на производство вычислений, а на выполнение процедур программного управления различными объектами и обработки параметров сигналов.

*Устройство синхронизации* – вспомогательный блок ЭВМ, обеспечивающий слаженное функционирование блоков МП-системы с точки зрения привязки процессов в ней к определенной шкале.

*Устройство ввода/вывода информации* – комплекс аппаратных средств, обеспечивающих стыковку ядра ЭВМ, состоящего из процессора и полупроводниковых устройств памяти, с периферийными устройствами, непосредственно взаимодействующими с объектами и человеком. К ним можно отнести схемы последовательного и параллельного интерфейса, устройства АЦ- и ЦА-преобразования и ряд других микроэлектронных устройств.

### *Классификация центральных процессоров*

В соответствии с двумя упомянутыми выше классами задач, решаемыми микропроцессорами, сформировались соответственно два больших класса микроэлектронных процессорных элементов:

– **однокристалльные СБИС центральных процессоров универсальных ЭВМ**, характеризующиеся высокой разрядностью (32 разряда – для персональных ЭВМ, 64 разряда – для серверных вариантов); фиксированной системой команд, позволяющей решать множество разнородных задач; сверхпроизводительной архитектурой, позволяющей выполнять до 1 млрд операций в секунду;

**однокристалльные СБИС микроконтроллеров (однокристалльные микро-ЭВМ)**, реализующие функции управляющих средств в промышленном оборудовании и военной технике, периферийных устройствах и т. п.; характеризуются определен-

по той причине, что мощность выходных регистров МП не может быть большой, в то время как к этим регистрам подключается большое количество входов БИС ЗУ и УВВ.

### 5.3. ПАРАМЕТРЫ, АРХИТЕКТУРА И НОМЕНКЛАТУРА СБИС УНИВЕРСАЛЬНЫХ ЦЕНТРАЛЬНЫХ ПРОЦЕССОРОВ

Оценивая эволюцию характеристик данной группы МП, можно отметить, что основной целью является достижение максимальной производительности и универсальности.

Это достигается за счет:

- обеспечения максимальной скорости обмена информацией между ЦП и ОЗУ;
- рациональной организации процесса выполнения программы;
- реализации преемственности архитектуры ЦП и, как следствие, унификации программного обеспечения.

#### *Основные параметры ЦП*

Структуры данных типов МП могут существенно различаться, однако с точки зрения пользователя наиболее важными параметрами является

- архитектура;
- разрядность обрабатываемых данных;
- адресное пространство;
- быстродействие.

Архитектуру МП определяет разрядность слова и внутренней шины данных МП. Первые МП основывались на 4-разрядной архитектуре. Первые персональные ЭВМ использовали МП с 8-разрядной архитектурой, а современные МП имеют 32- и 64-разрядную архитектуру.

Микропроцессоры с 4- и 8-разрядной архитектурой использовали *последовательный* принцип выполнения команд, при котором очередная операция начинается только после выполнения предыдущей. В некоторых МП с 16-разрядной архитектурой

граммное управление и набирались из нескольких микросекций. Однако в настоящее время их новые разработки практически не встречаются по причине сложного программного обеспечения и неудобной конструктивной реализации.

### 5.2. УПРОЩЕННАЯ АРХИТЕКТУРА ЭВМ

Наиболее простой для пояснения основных ключевых моментов в работе вычислительных средств является *трехшинная* архитектура. Отметим, что она характерна как для наиболее простых – 8-разрядных, так и для современных 32-разрядных компьютеров. Впрочем, разработчики МП и ЭВМ прибегали к более компактной – *двухшинной* организации, однако впоследствии, при реализации высокопроизводительных компьютеров, опять вернулись к трехшинной организации. Это было сделано из соображений повышения пропускной способности информационных магистралей.

ЭВМ (рис. 5.1) содержит блоки (группы устройств):

- микропроцессор (МП);
- оперативное запоминающее устройство (ОЗУ);
- постоянное запоминающее устройство (ПЗУ);
- устройства ввода/вывода (УВВ);
- устройство синхронизации (УС).

Связи между этими блоками осуществляются по информационным каналам, называемым шинами:

- шине адресов (ША);
- шине данных (ШД);
- шине управления (ШУ).

К основным функциям, реализуемым и этой и более сложными структурами, относятся следующие:

- перемещение данных между МП, с одной стороны, и ЗУ или УВВ, с другой стороны, сопровождающееся записью информации в ЗУ или УВВ или чтением из этих устройств;
- выполнение операций над данными внутри МП (арифметические и логические операции, перемещение информации);

- формирование микропроцессором всех необходимых для системы управляющих воздействий, включая синхросигналы и адреса участвующих в передаче информации устройств;

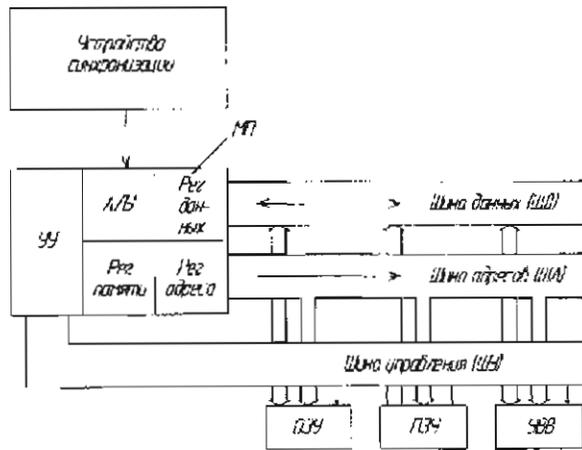


Рис. 5.1

Напомним, что все перечисленные функции реализуются под воздействием на МП управляющей программы, находящейся, как правило, в устройствах памяти.

Основной информационной магистралью ЭВМ, по которой реверсивно перемещаются данные в виде параллельных двоичных кодов, является ШД. Такая организация ШД имеет целью сокращение числа линий связи между блоками ЭВМ и числа выводов СВИС.

ША является вспомогательной магистралью, по которой перемещаются в одном направлении (от МП) адреса, представленные также в виде параллельных двоичных кодов. Адреса указывают: а) куда конкретно нужно записать данные при их перемещении; б) откуда необходимо прочитать данные, в которых в данный момент нуждается МП.

Таким образом, МП управляет перемещением данных между своими внутренними устройствами и ЦУ или УВВ с помощью адресного кода, действующего на ША. По ШД происходит

перемещение самих данных. С помощью ШУ производится активизация устройств приемников/передатчиков информации в необходимый интервал времени.

Очевидно, что структура ЭВМ, изображенная на рис. 5.1, обладает высоким быстродействием за счет разделения магистралей. Именно поэтому современные высокопроизводительные ЭВМ реализуются в соответствии с ней.

Из всего перечня функций следует, что основная интеллектуальная мощность ЭВМ принадлежит МП.

Для описания процессов, протекающих в данной структуре, воспользуемся понятием информационного пространства компьютера.

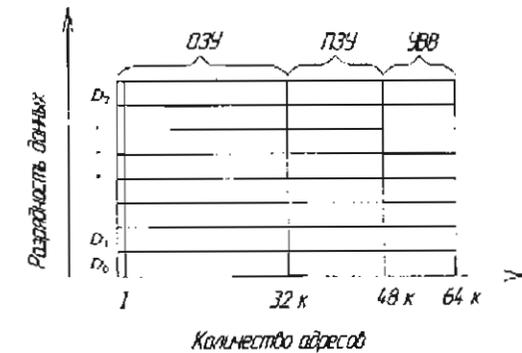


Рис. 5.2

Это пространство можно представить в виде прямоугольника, состоящего из  $n$  строк и  $m$  столбцов. Для компьютера, имеющего 8-разрядную шину данных и 16-разрядную шину адресов, структура информационного пространства имеет вид, изображенный на рис. 5.2. Здесь количество адресов равно числу  $m$ -разрядных устройств, в которых МП может записать или считать из них  $n$ -разрядное слово, т. е.  $2^m = 64$  К.

ЭВМ оперирует с данными, находящимися только в этом информационном пространстве. По сути, размеры информационного пространства и скорость оперирования аппаратных средств данными являются основными характеристиками интеллектуальной мощности любой ЭВМ. При этом для ОЗУ, ПЗУ и УВВ выделены строго определенные группы адресов, т. е. пространство поделено между этими устройствами, например, как показано на рис. 5.2.

Аппаратно шины ЭВМ в общем случае представляют собой набор линий связи, которые кроме проводников часто содержат устройства, усиливающие сигнал по мощности. Это необходимо

Восьмиразрядное АЛУ МП обеспечивает выполнение арифметических и логических операций над двоичными данными, представленными в дополнительном коде, а также обработку двоично-десятичных чисел.

В состав блока регистров входят программный счетчик *PC*, указывающий адрес текущей команды, регистр – указатель стека *SP*, обеспечивающий правильность перехода к подпрограммам и возврата из них: два регистра временного хранения *W* и *Z*, схему инкремента – декремента и 6 регистров общего назначения (*B, C, D, E, H, L*), которые могут использоваться и как 16-разрядные регистры (*BC, DE, HL*).

Устройство управления состоит из регистра команд, дешифратора команд и схемы управления и синхронизации.

Упрощенное описание работы МП может быть следующим:

При выполнении текущей команды ее начальный адрес находится в программном счетчике. Этот адрес пересылается в программную память (ОЗУ или ПЗУ) через буфер адреса. С помощью этого адреса извлекается первый байт команды, называемый кодом операции (КОП) и пересылается через ШД ЭВМ и МП в регистр команд. КОП содержит всю необходимую информацию о команде: где находится интересующие данные и какую операцию над ними нужно произвести. Дешифратор команд, получая КОП, совместно со схемой управления под действием синхросигналов  $\Phi_1$ ,  $\Phi_2$  формирует управляющие сигналы, предназначенные как для блоков МП, так и для блоков ЭВМ.

МП выполняет команды по машинным циклам, число циклов, необходимое для выполнения команды, зависит от ее типа и может быть от 1 до 5. Машинный цикл, в свою очередь, состоит из 3...5 машинных тактов, равных периоду синхрипульсов  $\Phi_1$ ,  $\Phi_2$ .

Для МП *K580* существует 10 различных типов машинных циклов:

- извлечение кода операции (обязателен);
- чтение данных из памяти;
- запись данных в память;
- извлечение данных из стека;

используется принцип *конвейеризации*, при котором одновременно с выполнением текущей команды производятся предварительная выборка и хранение последующих команд.

В МП с 32-разрядной архитектурой вначале также использовали конвейерный метод выполнения команд. А в новейших моделях реализуют принцип *суперскалярности*, предполагающий выполнение сразу нескольких последовательных команд программы, что резко увеличивает производительность вычислительной структуры в целом.

Следует отметить, что хотя разрядность внешней шины данных в большинстве современных ЭВМ часто составляет 64, разрядность обрабатываемых чисел по-прежнему составляет 32. В то же время разрядность внутренней ШД гораздо больше, до 300, что соответствует девяти одновременно выполняемым командам.

Увеличение разрядности внешней и внутренней шин продиктовано необходимостью увеличения пропускной способности информационных магистралей ЭВМ.

В ряде приложений, требующих большей, чем 32, разрядности обрабатываемых чисел, например в операциях с изображениями и сверхточными вычислениями, используют специальную технологию *MMX (MultiMedia extension)*, предполагающую параллельную обработку нескольких операндов под действием одной инструкции.

Следует отметить, что этот принцип не нов и использовался еще в 8-разрядных компьютерах, когда их специальными командами заставляли обрабатывать 16-разрядные данные. Платой за это и тогда, и сейчас было значительное снижение производительности вычислительной структуры в целом.

*Адресное пространство* определяется разрядностью адресных регистров и адресной шины МП. В 8-разрядных МП адресные регистры обычно состояются из двух 8-разрядных регистров, образуя 16-разрядную шину, адресуемую 64 Кбайта памяти. В 16-разрядных МП, как правило, используются 20-разрядные адресные регистры, адресуемые 1 Мбайт памяти. В 32-разрядных МП используются 32- и 36-разрядные адресные регистры, адресуемые от 4 до 64 Гбайт памяти.

*Быстродействие МП* определяется тактовой частотой его работы, которая обычно задается внешними синхросигналами и для разных МП имеет пределы от *единиц мегагерц* до *единиц гигагерц*. Выполнение простейших команд (например, сложение двух операндов из внутренних регистров или пересылка операндов в регистрах) требует минимально двух периодов тактовых импульсов. Более сложные команды требуют для вычисления до 10...20 периодов тактовых импульсов.

### **Номенклатура микросхем ЦП INTEL и AMD**

Следует отметить, что СБИС ЦП в 70–80-х гг. были реализованы в двух вариантах.

1) *Секционированные ЦП с наращиваемой разрядностью*. Характеризуются возможностью наращивания параметров и функциональных возможностей. Структура и система команд проектируемых на их основе устройств и систем определяется разработчиком в соответствии с конкретным назначением.

2) *Однокристалльные ЦП с фиксированной разрядностью и стандартной системой команд*. Обладают по сравнению с первым вариантом меньшей производительностью, но более гибкой системой команд, большей универсальностью и функциональными возможностями.

Процессоры первого варианта выпускались 2-4- и 8-разрядными секциями, реализованными, например, в сериях *K589, K1802, K1804* и вначале составляли серьезную конкуренцию однокристалльным ЦП. Однако уже в начале 90-х гг. за счет универсальности программного обеспечения второй вариант стал доминирующим. Поэтому секционированные ЦП в настоящее время составляют весьма незначительный процент в общем объеме выпуска этого типа СБИС и в рамках данного пособия подробно не рассматриваются.

Рассмотрению номенклатуры однокристалльных ЦП посвятим большее внимание, поскольку они являются основой персональных компьютеров, появление которых обусловило колоссальные успехи в информатизации всех сфер деятельности человека.

Следует отметить, что законодателем мод в этом направлении электроники вот уже 30 лет выступает транснациональная корпорация *INTEL (International Electronic Inc.)* и лишь в последние годы с ним достойно конкурирует американская корпорация *AMD (Advanced Micro Devices Corp.)*. Поэтому в табл. 5.1...5.3 приведены параметры ЦП только этих производителей.

### **Архитектура 8-разрядных ЦП**

Любой МП (рис. 5.1) содержит набор *регистров памяти, АЛУ и устройство управления*. Регистры используются для временного хранения выполняемых команд, адресов памяти, обрабатываемых данных и другой внутренней информации МП.

В АЛУ производится арифметическая и логическая обработка данных.

*Устройство управления* под действием инструкций, помещенных в программу, формирует необходимые управляющие всей системой сигналы.

На примере одного из самых популярных ранее МП серии *K580 (аналог 18080)* рассмотрим архитектуру 8-разрядных МП (рис. 5.3). В скобках внутри блоков указана их разрядность.

Данная БИС имеет 16 адресных выводов, 8 выводов данных, 6 входов и 6 выводов управления. Входными сигналами являются следующие:

- $\Phi 1, \Phi 2$  – тактовые импульсы;
- *READY* – готовность (внешнего устройства к работе);
- *HOLD* – захват (запрос захвата ШД);
- *INT* – требование прерывания;
- *RESET* – сброс (установка в «0» всех регистров МП).

На выходах управления МП действуют сигналы:

- *SYNC* – *синхронизация (появляется в начале машинного цикла)*;
- *DBIN* – *разрешение на ввод данных в МП*;
- *WAIT* – *ожидание*;
- *WR* – *разрешение на запись данных в ЗУ*;
- *HOLDA* – *подтверждение захвата*;
- *INTE* – *разрешение прерывания*.

- запись данных в стек;
- чтение данных из устройства ввода;
- запись данных в устройство вывода;
- цикл обслуживания прерывания;
- останова;
- обслуживание прерывания в режиме «останов».

Учитывая, что физически стек — это область памяти, предназначенная для обслуживания подпрограмм, можно сделать вывод о соответствии типов машинных циклов перечисленным выше функциям ЭВМ.

Регистр состояний  $F$  и схемы десятичной коррекции выполняют вспомогательные функции и предназначены для управления АЛУ.

Система команд МП  $K580$  содержит 78 базовых команд, включающих 111 операций. Они объединены в группы: передачи данных, арифметические, логические, переходов, вызова подпрограмм и возврата из них, ввода/вывода, управления и ряда других. Если сравнивать МП, приведенные в табл. 5.1, то можно отметить, что МП  $I8085$  является усовершенствованной версией  $I8080$ . В нем имеется внутренний генератор синхронизации, возможность управления системными операциями, записи/считывания памяти и ввода/вывода, а также учет приоритетов прерываний. Главной архитектурной особенностью микропроцессоров данного класса (8-разрядных) является мультиплексирование восьми линий шины данных с восемью младшими линиями шины адреса, то есть на его базе реализуются ЭВМ с *двухшинной* организацией.

Популярный зарубежный МП фирмы *Zilog Z80* также воспроизведен в отечественной серии  $I835$ . Эта модель имеет, по сравнению с описанными выше, несколько дополнительных возможностей. В нем имеется регистр регенерации для облегчения работы с динамической памятью. Некоторые аппаратные дополнения позволили усовершенствовать систему команд в направлении ускорения программ в целом.

Характеристики устаревших однокристальных центральных процессоров *INTEL*

Тип МП	Разрядность обрабатываемых данных	Разрядность шины данных	Емкость адресуемой памяти, байт	Число регистров общего назначения	Тактовая частота, МГц	Напряжение питания, В	Число транзисторов	Разрешение технологии, мкм	Год начала выпуска
<i>I8080</i>	8	8	64 К	6	2	± 5; +12	6 тыс.	3,0	1974
<i>I8085</i>	8	8	64 К	6	3	+5	6,5 тыс.	3,0	1975
<i>I8086</i>	16	16	1 М	8	10	+5	29 тыс.	2,6	1978
<i>I80286</i>	16	16	16 М	17	12	+5	134 тыс.	1,5	1982
<i>I80386</i>	32	32	4 Г	14	32	+5	275 тыс.	1,5	1985
<i>I80486DX2</i>	32	32	4 Г	КЭШ1 – 8 Кб КЭШ2 – 512 Кб	66	+5	1,2 млн	1,0	1992
<i>INTEL Pentium</i>	32	64	4 Г	КЭШ1 – 16 Кб КЭШ2 – 1 Мб	100	+3,5	3,3 млн	0,5	1993
<i>INTEL Pentium Pro</i>	32	64	4 Г	КЭШ1 – 16 Кб КЭШ2 – 2 Мб	200	+3,5	5,5 млн	0,35	1995
<i>INTEL Pentium MMX</i>	32	64	4 Г	КЭШ1 – 32 Кб КЭШ2 – 1 Мб	233	+3,5	5,5 млн	0,28	1997

Характеристики современных СБИС центральных процессоров *INTEL*

Модель	Разрядность обрабатываемых данных	Разрядность шины данных	Емкость адресуемой памяти, байт	Характеристика КЭШ-памяти			Тактовая частота, МГц	Напряжение питания, В	Число транзисторов, млн	Разрешение технологии, мкм	Год начала выпуска
				L1, Кб	L2, Кб	L3, Мб					
1	2	3	4	5	6	7	8	9	10	11	12
<i>Pentium 2 Deschutes</i>	32	64	64 Г	32	512	–	400	2,0	7,5	0,25	1998
<i>Celeron Covington</i>	32	64	64 Г	32	–	–	300	2,0	7,5	0,25	1998
<i>Pentium 3 Katmai</i>	32	64	64 Г	32	512	–	600	2,0	9,5	0,25	1999
<i>Celeron Mendocino</i>	32	64	64 Г	32	128	–	433	2,0	19	0,22	1998
<i>Pentium 3 Coppermine</i>	32	64	64 Г	32	256	–	1000	1,8	28	0,18	1999
<i>Celeron Coppermine 128</i>	32	64	64 Г	32	128	–	800	1,75	28	0,18	1999
<i>Pentium 4 Willamette</i>	32	64	64 Г	8	256	–	2000	1,75	42	0,13	2000
<i>Celeron Willamette 128</i>	32	64	64 Г	8	128	–	2000	1,75	42	0,13	2002
<i>Pentium 4 Northwood</i>	32	64	64 Г	8	512	–	3400	1,5	60	0,13	2002
<i>Celeron Northwood</i>	32	64	64 Г	8	128	–	2800	1,5	60	0,13	2003
<i>Pentium 4 Prescott</i>	32	64	64 Г	16	1024	–	3800	1,25	92	0,09	2004

1	2	3	4	5	6	7	8	9	10	11	12
<i>Pentium 4 Tejas</i>	32	128	64 Г	24	1024	–	5000	1,5	189	0,09	2005
<i>Itanium Merced</i>	64	64	16 Т	32	96	4	800	1,5	25	0,18	2001
<i>Itanium 2 Madison</i>	64	128	16 Т	32	256	6	1600	1,5	500	0,13	2003
<i>Itanium 2 Montecito</i>	64	128	16 Т	32	256	6	2800	1,5	510	0,13	2004

Таблица 5.3

Характеристики современных СБИС центральных процессоров *AMD*

Модель	Разрядность обрабатываемых данных	Разрядность шины данных	Емкость адресуемой памяти, байт	Характеристика КЭШ-памяти		Тактовая частота, МГц	Напряжение питания, В	Число транзисторов, млн	Разрешение технологии, мкм	Год начала выпуска
				L1, Кб	L2, Кб					
1	2	3	4	5	6	7	8	9	10	11
<i>AMD K6</i>	32	64	4 Г	64	1024	300	2,9	8,8	0,35	1997
<i>AMD K6-2</i>	32	64	4 Г	64	2048	550	2,4	9,3	0,25	1998
<i>AMD K6-3</i>	32	64	4 Г	64	256	475	2,4	21,3	0,25	1999
<i>AMD Athlon K7</i>	32	64	64 Г	128	512	1000	1,8	22	0,25	1999

Окончание табл. 5.3

1	2	3	4	5	6	7	8	9	10	11
<i>AMD Duron Spitfire</i>	32	64	64 Г	128	64	950	1,6	25	0,18	2000
<i>AMD Duron Morgan</i>	32	64	64 Г	128	64	1300	1,75	25,2	0,18	2001
<i>AMD Athlon XP Palomino</i>	32	64	64 Г	128	256	2100	1,75	42	0,18	2001
<i>AMD Athlon XP Thoroughbred</i>	32	64	64 Г	128	256	3200	1,6	60	0,13	2002
<i>AMD Athlon XP Thorton</i>	32	128	64 Г	128	256	3200	1,6	55	0,13	2004
<i>AMD Opteron</i>	64	128	16 Т	128	512	1500	1,6	80	0,13	2003
<i>AMD Atlon 64</i>	64	128	16 Т	128	1024	2000	1,6	85,5	0,13	2003
<i>AMD Atlon FX-51</i>	64	128	16 Т	128	1024	2200	1,6	233	0,13	2004
<i>AMD Hammer</i>	64	128	16 Т	128	1024	2500	1,6	100	0,13	2004

Этот МП был предназначен для использования в небольших автономных системах с небольшим числом ИС, но он не получил столь широкого распространения как *180286*.

В процессоре *180286* отсутствуют дополнительные средства, введенные в *180186*. Вместо этого имеется возможность адресации основной (полупроводниковой – емкостью 4 Мбайт) и виртуальной (накопитель на магнитных дисках – 1 Гбайт) памяти. Структура МП обеспечивает четырехуровневую защиту памяти, контролируемый доступ к ресурсам операционной системы, изоляцию индивидуальных прикладных программ и малое время реакции на прерывания. В МП используется конвейерный принцип выполнения команд с четырьмя уровнями конвейеризации, реализованными в четырех отдельных блоках. *180286* оснащен средствами для программирования на языках высокого уровня. Набор его команд является расширением команд *18086* и обеспечивает полную программную совместимость с ним. Новые команды упрощают выполнение стековых операций, вычисление и контроль индексов динамических массивов, а также выполнение приказов ввода и вывода из процедур в языках высокого уровня. Существуют привилегированные команды, которые могут выполняться в ядре операционной системы. МП *180286* применялись для построения персональных ЭВМ *IBMPC/AT*.

### *32-разрядные процессоры*

Процессор *180386* своим появлением в 1985 г. открыл класс 32-разрядных процессоров. Данный МП может управлять физической памятью объемом 4 Гбайт (шина адресов – 32 разряда) и за счет наличия специального встроенного блока – виртуальной памятью объемом до 64 Гбайт.

Архитектура *180386* имеет конвейерный принцип работы, для которого в нем имеется 6 блоков, осуществляющих управление выполнением команд, сегментацию и страничную организацию памяти, сопряжение с шинами, декодирование и упреждающую выборку команд. Все эти устройства работают в виде конвейера, причем каждое из них может выполнять свою конкретную функцию параллельно с другими. Таким образом, во время выполнения одной команды производится декодирование



второй, а третья выбирается из памяти. Дополнительным средством повышения производительности служит специальный блок быстрого умножения-деления. Уже в *180386* разработчики отказались от совмещенной магистралю данных/адреса и ЭВМ стали работать гораздо быстрее.

По функциональным характеристикам *180386* является типичным представителем класса 32-разрядных МП, к которому также можно отнести МП *Z80000 (Zilog)*, *MC68020 (Motorola)*. Он совместим с двумя предшествующими поколениями – *18086* и *180286*, т. е. позволяет выполнять программы, написанные ранее для них. Процессор нашел весьма широкое применение в персональных компьютерах и во многом способствовал появлению и развитию операционной системы *MS Windows*.

Следует отметить, что улучшение характеристик МП обеспечивалось и обеспечивается отнюдь не простым наращиванием разрядности шин данных и адреса. Одновременно с этими мероприятиями производилось усовершенствование архитектуры процессора, а также аппаратного взаимодействия процессора и других блоков системы за счет оптимизации работы и конструкции самих шин.

Процессор *180486* резко отличается по производительности от других устройств – предшественников этого класса и по совокупности функциональных характеристик являлся на момент выпуска в начале 90-х гг. прошлого века уникальным. Кроме того, что конструкторам фирмы *INTEL* удалось реализовать в нем функции математического сопроцессора и контроллера кэш-памяти, обмен данными между блоками МП происходит по *128-разрядной шине данных*. Все это позволило увеличить его производительность по сравнению с *180386* примерно в три раза. К другим схемотехническим новинкам, примененным в *180486*, является использование так называемой *RISC-архитектуры*, когда внутри МП реализуются микроконтроллеры, относительно независимые от ядра МП.

Процессор *Pentium* явился первой моделью, в которой реализован суперскалярный принцип работы, поскольку его архитектура допускает одновременное выполнение нескольких команд. Процессор *Pentium*, в частности, имеет два отдельных конвейера, которые могут работать одновременно.

Снижение питающего напряжения с +5 В до +3,5 В позволило резко повысить быстродействие и снизить энергопотребление процессоров. В итоге тактовую частоту в модели *Pentium MMX* удалось поднять до 233 МГц. Повышению производительности также способствовало увеличение кэш-памяти в целом до весьма значительного объема и размещение этой памяти в непосредственной близости от процессора.

Совершенствование параметров процессоров в моделях *Pentium 2* и *3* происходило примерно так же: напряжение питания было снижено до +2,0 В, кэш-память переместилась еще ближе к процессору, размеры элементов уменьшились до 0,18 мкм. Все это позволило поднять тактовую частоту процессора до 1 ГГц.

Благодаря увеличению разрядности внутренних регистров данных до 128 стало возможным выполнение процессором четырех операций одновременно.

Использование *Pentium 3* впервые позволило реализовать такие мультимедийные приложения, как:

- трехмерная графика и моделирование;
- генерация трехмерных изображений в программах реального времени;
- алгоритмы кодирования и декодирования видеосигнала и ряд других.

Процессор *Pentium 4* был реализован в соответствии с совершенно отличной от *Pentium 3* архитектурой. Появившаяся в 2000 г. модель *Willamette* работает на тактовой частоте 2 ГГц, а новейшая модель *Prescott*, представленная в 2004 г., может работать на 3,8 ГГц.

Число транзисторов в них приближается к 100 млн штук, а разрешение технологии составляет сотые доли микрона. Конструктивно процессор представляет собой модуль, в котором в непосредственной близости от кристалла-ядра расположен кристалл кэш-памяти второго уровня. Кэш-память первого уровня расположена непосредственно на кристалле-ядре.

По сравнению с *Pentium 3* кэш-память «переехала» еще ближе к ядру процессора. Этим объясняется тот факт, что объем кэш-памяти первого уровня вдруг уменьшился в размере с 32 Кбайт до 8 Кбайт. Однако скорость взаимодействия процес-

сора и кэш-памяти резко возросла и в *Pentium 4* они работают на одной частоте. Ядро процессоров *Pentium 4* примерно в два раза больше, чем у *Pentium 3*, что приводит к увеличению тепловыделения. В частности, *Pentium 4* 1,7 ГГц, работающий на напряжении 1,75 В и потребляющий примерно 35 А, рассеивает порядка 52 Вт тепла. Это требует специальных мер по охлаждению процессора. В частности, кристалл процессора размещен на пластине-радиаторе через соединительный слой специального органического сплава на основе меди. Кулер-вентилятор для более эффективного охлаждения помещен непосредственно в модуле процессора. Сами процессорные модули имеют 423- и 478-выводные разъемы. Гнездная часть разъема расположена на материнской плате.

Рассмотрим особенности архитектуры *Pentium 4* на примере модели *Prescott* (рис. 5.4).

В отличие от первых моделей процессоров *Pentium*, выполнявших только пооперандную обработку данных по принципу «Одна команда – одни данные», то, начиная с процессора *Pentium MMX*, они реализуют групповую обработку по принципу «Одна команда – много данных». Операции *MMX*, *SSE/SSE-2/SSE-3* позволяют выполнять действия над данными, располагающимися в 128-разрядных регистрах блока *SSE/SSE-2/SSE-3*. В этих регистрах могут храниться и одновременно обрабатываться 2 числа с «плавающей точкой» в формате двойной точности (64 разряда) или 4 числа в формате одинарной точности (32 разряда). Этот блок может также одновременно обрабатывать целочисленные операнды: шестнадцать 8-разрядных, восемь 16-разрядных, четыре 32-разрядных или два 64-разрядных. В результате производительность процессора *Pentium 4* при выполнении таких операций оказывается вдвое выше, чем *Pentium 3*.

Операции *SSE* позволяют существенно повысить эффективность процессора при реализации трехмерной графики и Интернет-приложений, обеспечении сжатия и кодирования аудио- и видеоданных в ряде других применений.



Введение большой группы команд SSE является основной особенностью реализованного в *Pentium 4* варианта архитектуры IA-32.

Для архитектуры процессоров *Pentium 4* характерными являются:

- *гарвардская структура с разделением потоков команд и данных;*
- *суперскалярная архитектура, обеспечивающая одновременное выполнение нескольких команд в параллельно работающих исполнительных устройствах;*
- *динамическое изменение последовательности команд;*
- *конвейерное исполнение команд;*
- *предсказание направления ветвлений.*

Практическая реализация данных принципов в структуре процессора *Pentium 4* имеет ряд существенных особенностей.

*Гарвардская внутренняя структура* реализуется путем разделения потоков команд и данных, поступающих с системной шины через блок интерфейса и размещенную на кристалле процессора общую кэш-память *L2* емкостью 1 Мбайт. Такое разделение памяти *L2* позволяет значительно ускорить выборку команд и данных по сравнению с *Pentium 3*.

Взаимодействие центрального процессора с памятью и контроллерами ввода/вывода происходит по системной шине, содержащей 64-разрядную шину данных, 41-разрядной шины адреса, обеспечивающей адресацию до 64 Гбайт внешней памяти.

Система управления кроме дешифратора команд содержит кэш-память микрокоманд, а также блоки, обеспечивающие условные переходы.

Особенностью системы управления является выборка микрокоманд блоком распределения микрокоманд по мере готовности соответствующих операндов.

*Суперскалярная архитектура* реализуется путем организации исполнительного ядра процессора в виде ряда параллельно работающих блоков ALU.

Реализация других принципов – *конвейерного исполнения команд и предсказание ветвлений* – позволяет резко повысить производительность СБИС ЦП в целом примерно на 40 %.

Концерн *AMD (Advanced Micro Devices)* после многолетнего пребывания на третьих ролях смог значительно укрепить свои позиции на рынке процессоров, представив в конце XX в. сначала очень неплохие процессоры семейства *AMD Athlon K7*, а затем и семейство *AMD Athlon XP*. Необходимо отметить, что это несомненный успех *AMD*, поскольку их процессоры имеют отличную от *INTEL* архитектуру при полной программной совместимости. Процессор *K7* существенно потеснил более дешевые версии *Pentium 3 – INTEL Celeron Coppermine*, превосходя их немного в производительности при равной стоимости.

Процессоры моделей *XP* вплотную приблизились к *Pentium 4* по производительности и из-за более низкой стоимости составляют им приличную конкуренцию. Серьезным недостатком процессоров *AMD* является значительно большее тепловыделение, что не позволяет ни на секунду оставлять их без принудительного охлаждения.

#### **64-разрядные процессоры**

Если рынок 32-разрядных ЦП, таких как *INTEL Pentium 4* и *AMD Athlon XP*, является достаточно массовым и хорошо известен потребителям, то популярность 64-разрядных процессоров не столь очевидна. Сфера их применения – специальные сети с большим вычислительным ресурсом, использующие колоссальные объемы ОЗУ – большие базы данных, системы управления ресурсами банковских структур и промышленных предприятий.

Несмотря на прогнозы, что в скором времени 64-разрядная архитектура станет массовой, примеров тому пока что нет. Основная причина – высокая стоимость высокопроизводительной 64-разрядной вычислительной структуры. Вторая причина – отсутствие пользовательской 64-разрядной операционной системы, которая могла бы претендовать на роль массовой.

Иллюстрацией к колоссальным возможностям *INTEL64* и *AMD64* могут служить данные, приведенные в табл. 5.2...5.3.

В целом, заканчивая обзор эволюции характеристик и архитектуры центральных процессоров, можно отметить, что такие успехи в сфере информатизации стали возможными во многом благодаря, в первую очередь, успехам микроэлектронных тех-

нологий. Что касается архитектуры, то здесь применима аксиома: «новое – хорошо забытое старое». Действительно, в архитектуре процессоров *Pentium* очень много от архитектуры старых больших машин – БЭСМ-6, ЕС-1060 – в частности, суперскалярность, работа с несколькими банками памяти и т. п. Только создание миниатюрных, надежных и дешевых конструкций процессоров позволило сделать компьютеры доступными широким массам пользователей.

#### **5.4. СБИС МИКРОКОНТРОЛЛЕРОВ И ИХ НОМЕНКЛАТУРА**

Номенклатура современных микроконтроллеров весьма широка и содержит достаточно большое количество семейств, отличающихся архитектурой процессорного ядра, набором помещенных на кристалле микроконтроллера модулей памяти и устройств ввода/вывода, разрядностью обрабатываемых данных, тактовой частотой, энергопотреблением.

Основные параметры наиболее известных семейств *MCS-51*, *MCS-196/296* (фирмы *INTEL*) и *AVR* (фирмы *Atmel*) приведены в табл. 5.4. Рассмотрим подробнее особенности их архитектуры и применения.

#### **Микроконтроллеры семейства MCS-51**

Семейство этих 8-разрядных СБИС реализовано по и МОП-технологии (*18051*, *18031*, *18751*), и КМОП-технологии (*180С51*). Все МК могут адресовать с помощью внешней шины адреса полупроводниковое ЗУ объемом до 64 Кбайт. Модели *18051* и *180С51* содержат масочное ПЗУ, а модель *18751* – РППЗУ объемом 4 Кбайт.

Архитектура семейства *MCS-51* во многом сходна с рассмотренным ранее МП *18080*. Дополнительно введены четыре двунаправленных параллельных порта, через которые осуществляется связь МК с внешними блоками не только данными, но и передается адрес устройств.

Микроконтроллеры фирм *INTEL* и *Atmel*

Модель	Разрядность, бит	Объем внутр. ЗУ, байт			Объем внешней прямоадрес. памяти, байт	Тактовая частота, МГц	Тип технологии	Характерные особенности
		ПЗУ	ПЗУ данн.	ОЗУ данн.				
1	2	3	4	5	6	7	8	9
<i>I8051</i> ( <i>KP1816BE51</i> )	8	4 К	–	128	64 К	12	nМОП	4 паралл. порта ввода/вывода, встроен. генератор синхроимп., у-во управления
<i>I80C51</i> ( <i>KP1830BE51</i> )	8	4 К	–	128	64 К	12	КМОП	
<i>I8751</i> ( <i>KP1816BE751</i> )	8	4 К	–	128	64 К	12	nМОП	
<i>ATmega 16</i>	8	16 К	512 К	1 К	64 К	16	КМОП	Генератор ШИМ, ан. компаратор, 10-р. АЦП, последов. порт, до 6 парал. портов
<i>ATmega 32</i>	8	32 К	1 К	2 К	64 К	16	КМОП	
<i>ATmega 64</i>	8	64 К	2 К	4 К	64 К	16	КМОП	
<i>ATmega 128</i>	8	128 К	4 К	4 К	64 К	16	КМОП	

Окончание табл. 5.4

1	2	3	4	5	6	7	8	9
<i>8XC196KT</i>	16	16 К	–	488 К	64 К	20	КМОП	ШИМ-генератор, 10-р. АЦП
<i>8XC196KT</i>	16	32 К	4 К	1 К	64 К	16	КМОП	Встроенный процессор событий; улучш. интерфейсные возможности
<i>8XC196NT</i>	16	32 К	512	1 К	1 М	16	КМОП	
<i>8XC196MD</i>	16	16 К	–	1 К	64 К	16	КМОП	МК управления эл./двигателями, генераторами 10-р. АЦП
<i>8XC196MH</i>	16	16 К	–	1 К	64 К	16	КМОП	
<i>87C196CA</i>	16	56 К	512	1,5 К	16 М	50	КМОП	МК управления узлами автомобиля
<i>80C296CA</i>	16	–	2 К	2 К	16 М	50	КМОП	МК с возможностями цифр. процессора сигналов

Системы команд *MCS-51* и *18080* также весьма сходны, да это и не удивительно, поскольку эти изделия разрабатывались одной группой авторов с небольшим временным сдвигом.

### **Микроконтроллеры семейства AVR**

Восьмиразрядные МК *AVR* фирмы *Atmel* качественно отличаются от предыдущей группы. Во всех моделях присутствует достаточно большое ПЗУ программ (до 128 Кбайт), что делает МК этого семейства ввиду их открытости весьма привлекательными для применения в составе многопроцессорных систем.

Архитектура этих МК имеет ряд существенных особенностей, таких как:

- *гарвардская архитектура*, согласно которой память программ и память данных физически и логически разделены и адресуются посредством различных шин;
- *наличие 32 регистров общего назначения*;
- *наличие одноуровневого конвейера команд из памяти программ*.

Эти особенности позволяют резко повысить производительность без изменения тактовой частоты до 1 млн операций в секунду при тактовой частоте 1 МГц.

Ряд моделей семейства *AVR* имеют размещенные на кристалле МК кроме шести- и восьмиразрядных параллельных портов многоканальный АЦП, аналоговый компаратор, генератор импульсов с широтно-импульсной модуляцией (ШИМ-генератор) и ряд других аппаратных новшеств.

Перечисленные особенности резко улучшают потребительские качества МК данного семейства.

### **Микроконтроллеры семейства MCS-196/296**

МК данного семейства являются современными высокопроизводительными 16-разрядными ЭВМ для управления в реальном масштабе времени.

Основным архитектурным новшеством серии *MCS-196* явилась *регистр-регистровая архитектура* (взамен классической аккумуляторной архитектуры). Эта архитектура хоть и требует наличия сверхбыстродействующего ОЗУ регистрового типа и более сложного формата команд, однако исключает до-

полнительные операции по пересылке данных в аккумулятор и обратно. Эти усовершенствования наряду с главным преимуществом – возможностью выполнения операций непосредственно над 16-разрядными операндами, приводят к повышению производительности 16-разрядных МК в несколько раз по сравнению с 8-разрядными контроллерами, работающими на тех же тактовых частотах.

Все СБИС этого семейства имеют *унифицированный базовый блок*, состоящий из модуля центрального процессора, тактового генератора, ПЗУ, контроллера прерываний и прямого доступа к памяти.

Набор встроенных периферийных устройств меняется в зависимости от типа МК и определяет область его преимущественного применения.

Как и в семействе МК *AVR*, в рассматриваемой группе устройств используется *конвейеризация* команд на основе механизма предварительной выборки команд, что существенно повышает производительность центрального процессора, т. к. к моменту завершения выполнения текущей команды следующая команда уже считана из памяти и готова для немедленного выполнения.

В итоге производительность большинства моделей СБИС этого семейства на частоте 20 МГц составляет примерно 2 млн операций в секунду.

Номенклатура СБИС семейства *MCS-196* достаточно разработана и разнообразна и состоит из нескольких групп (табл. 5.4), основные отличия которых зависят от периферии, размещенной на кристалле МК.

Важным достижением фирмы *INTEL* в плане реализации МК явилась разработка серии *MCS-296*.

МК данной серии обладают весьма высокой производительностью, достигающей 12...16 млн операций в секунду на частоте 50 МГц, включая процедуры цифровой обработки сигналов. В значительной степени выросло внешнее адресное пространство – до 16 Мбайт.

В целом, созданием *MCS-296* фирма *INTEL* объединила в одном устройстве преимущества относительно дешевых микроконтроллеров с большим количеством периферийных устройств и сигнальных процессоров.

## 5.5. БИС АППАРАТНОГО ОБРАМЛЕНИЯ МИКРОПРОЦЕССОРОВ

Большинство популярных МП-серий характеризуются своей функциональной законченностью. В свою очередь, это не исключает возможности применения определенных БИС в составе других серий, что свидетельствует о значительной унификации МП-наборов. Так, например, ряд БИС серии *KP580* успешно используются с серией *K1810*. Еще в большей степени это относится к БИС фирмы *INTEL*.

БИС, являющиеся аппаратным обрамлением микропроцессоров, обеспечивают несколько функций:

- синхронизацию МП-системы;
- увеличение вычислительной мощности ЭВМ;
- управление вводом/выводом данных;
- управление периферийными устройствами;
- облегчение стыковки звеньев МП-системы.

Коротко охарактеризуем устройства, реализующие перечисленные функции (рис. 5.5). *Генераторы и таймеры* – это относительно простые устройства, формирующие тактовые серии импульсов, определяющие машинные такты и циклы.

*Системные контроллеры* принимают с МП информацию о типе выполняемого цикла и преобразуются в управляющие сигналы, поскольку на выводах самого МП-серий *KP580* и *K1810* отсутствуют сигналы управления памятью, УВВ и контролером прерывания.

*Математические сопроцессоры* предназначены для выполнения арифметических операций над десятичными и целыми числами, а также над числами с плавающей точкой при различной длине слова. В общем случае сопроцессоры можно рассматривать как архитектурное расширение МП. Обычно они работают параллельно с основными процессорами, имеют специализированную систему команд, ориентированную на реализацию вычислений. Это позволяет ускорить вычисления и реализовать алгоритмы, которые не могут быть осуществлены без них.

Вследствие этого ДУ часто называют балансным или разностным усилителем (усилитель  $\Delta U_{ВХ} = |U_{ВХ1} - U_{ВХ2}|$ ). Одинаковые выходные сигналы называются синфазными, а ДУ тем качественнее, чем меньше изменение  $\Delta U_{ВХ}$  вызывает одинаковое изменение  $U_{ВХ}$ . В реальном ДУ из-за разбаланса плеч при  $|U_{ВХ1} - U_{ВХ2}| = \Delta U_{ВХ} \neq 0$ .

Если  $U_{ВХ1} = -U_{ВХ2} = U_{ВХ \text{ диф}} \neq 0$ , т. е. на вход ДУ подано дифференциальное напряжение  $U_{ВХ \text{ диф}}$ , то происходит перераспределение токов между плечами каскада, но сумма токов  $I_1 + I_2 = I_R$  остается постоянной.

Работа ДУ описывается выражением

$$K_U = \frac{d I_R}{d U_{ВХ \text{ диф}}} \cdot R1,$$

где  $K_U$  — коэффициент усиления ДУ.

Поскольку одной из основных целей часто является увеличение  $K_U$ , ее можно достичь, увеличивая  $I_R$  и  $R1$ . Однако увеличение  $I_R$  приводит к нежелательному увеличению входного тока и входного сопротивления ДУ.

При увеличении  $R1$  увеличивается его площадь на кристалле и необходимое напряжение питания ДУ. Решением проблемы является замена резистивной нагрузки  $R1$  транзисторной (рис. 6.2). Этот очень популярный узел называют *отражателем тока* или *токовым зеркалом*.

Узел генератора тока часто представляет собой схему, изображенную на рис. 6.3.

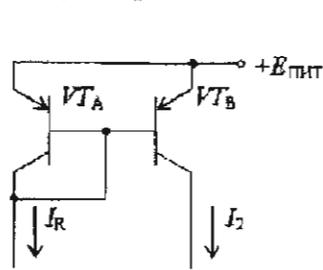


Рис. 6.2

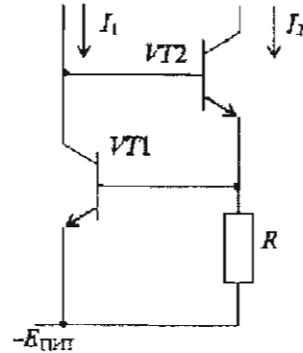


Рис. 6.3

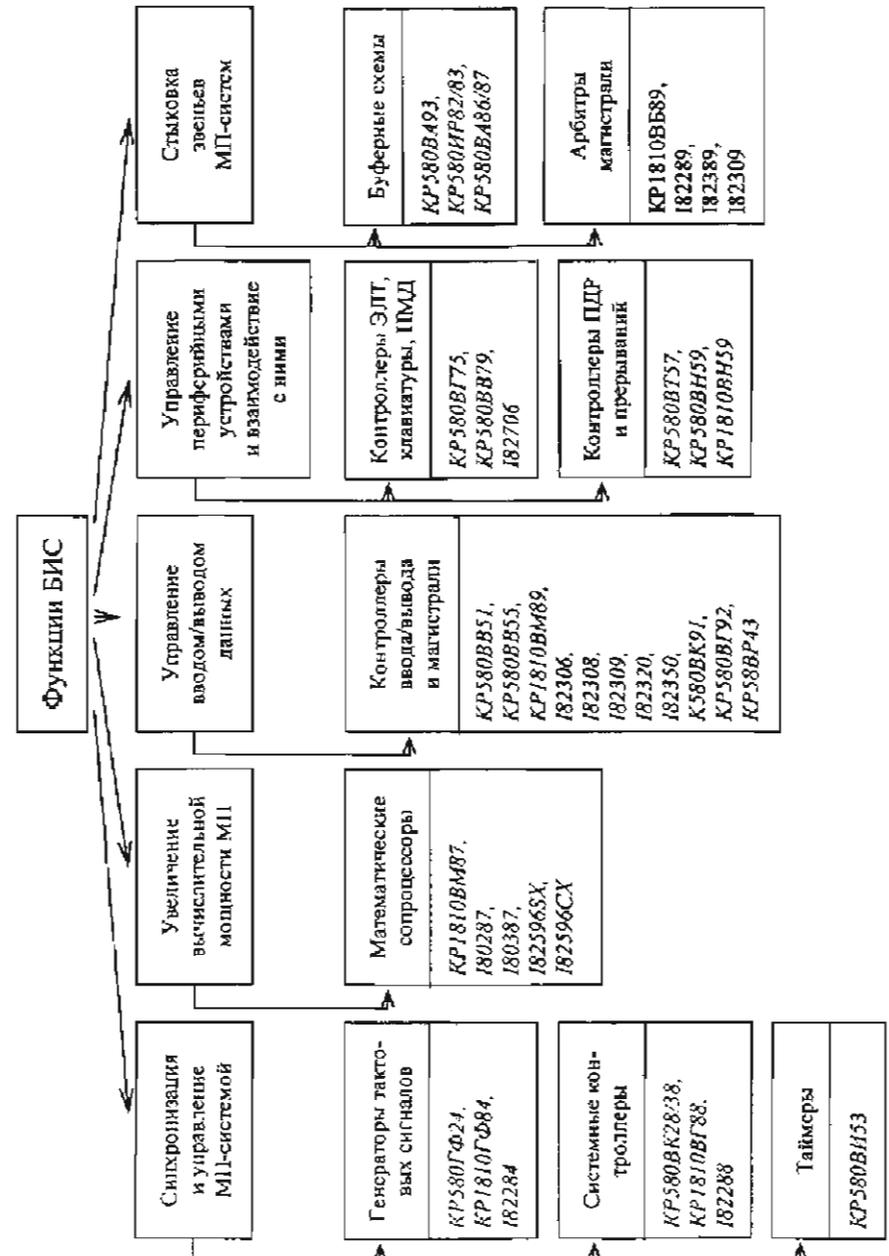


Рис. 5.5

Структурно сопроцессоры содержат устройство управления, которое принимает команду и формирует управляющие воздействия и устройство обработки, выполняющее операции над числами. За счет того, что сопроцессоры обычно содержат большое число регистров общего назначения (в БИС *K1810BM87* их 80), значительно сокращается время, необходимое для пересылки операндов. Повышению быстродействия способствует также реализация внутренней структуры сопроцессоров с многоурядной внутренней шиной данных (в *I80287* ее разрядность составляет 80 бит).

*Контроллеры ввода/вывода и магистрали* образуют многочисленную группу устройств, облегчающих обмен информацией ЭВМ с устройствами ввода/вывода. Разрядность этих устройств со стороны ЭВМ, как правило, соответствует разрядности ее шины данных. Со стороны периферии информация может перемещаться с другой разрядностью или даже в другой форме представления, например последовательным кодом.

*Контроллеры клавиатуры, ЭПТ, НМД и других периферийных устройств* имеют структуру, учитывающую особенности функционирования и реализации этих устройств. Работают, как правило, в асинхронном по отношению к ЭВМ режиме и могут широко использоваться совместно с БИС других серий.

*Контроллеры прямого доступа к памяти (ПДП) и прерываний* предназначены: а) для ускоренного обмена информацией между периферией и ОЗУ; б) для упорядочивания взаимодействия периферийных устройств и ЭВМ.

*Буферные схемы* позволяют подключать к шине данных большое количество БИС ЗУ, контроллеров и прочих узлов без ухудшения характеристик МП, поскольку его выходные устройства, работающие на магистрали ЭВМ, имеют ограниченную выходную мощность.

*Арбитры магистрали* являются устройствами, с помощью которых производится разделение функций совмещенной магистрали ЭВМ во времени для передачи данных или адреса.

## ГЛАВА 6. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ МАССОВОГО ПРИМЕНЕНИЯ

В данном разделе рассматриваются общие принципы построения аналоговых интегральных схем (АИС), их современная номенклатура и параметры, особенности применения.

Схемотехнические решения, используемые для построения АИС, обусловлены следующими особенностями в технологии изготовления ИС:

- большими разбросами абсолютных значений параметров элементов, их микронными размерами;
- трудностью технологической совместимости различных активных компонентов;
- отсутствием индуктивностей среди элементов ИС.

В ИС выгодно применять активные элементы вместо пассивных, занимающих большую площадь кристалла. Элементы, расположенные на кристалле рядом, имеют практически одинаковые параметры. Разработчики АИС проектируют их таким образом, чтобы в максимальной степени использовать преимущества полупроводниковой технологии и свести к минимуму влияние ограничений, накладываемых этой технологией.

### 6.1. ЭЛЕМЕНТЫ СХЕМОТЕХНИКИ АНАЛОГОВЫХ ИС

Основным схемотехническим узлом самых распространенных АИС, таких как операционные усилители (ОУ) и компараторы, является дифференциальный усилитель (ДУ) (рис. 6.1). Симметрия ДУ относительно генератора постоянного тока  $I_r$  делает его схему идеальной для применения в АИС, т. к. ДУ усиливает рассогласование между параметрами элементов плеч  $VT1$ ,  $R1$  и  $VT2$ ,  $R2$ .

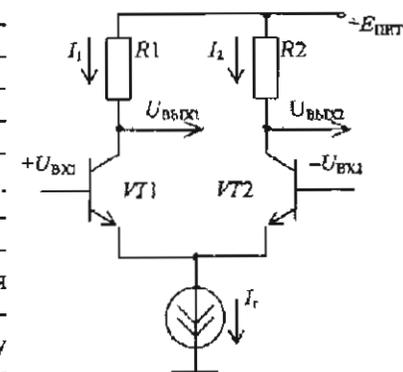


Рис. 6.1

Таким образом, из этого соотношения следует, что коэффициент усиления ОУ с обратной связью определяется почти исключительно только обратной связью и мало зависит от параметров самого усилителя. В простейшем случае цепь обратной связи представляет собой резистивный делитель напряжения. При этом схема с ОУ работает как линейный усилитель, коэффициент усиления которого определяется только коэффициентом ослабления цепи обратной связи. Если в качестве цепи обратной связи применяется  $RC$ -цепь, то образуется активный фильтр. Наконец, включение в цепь обратной связи ОУ диодов и транзисторов позволяет реализовать нелинейные преобразования сигналов с высокой точностью.

### Типовая структура ОУ

Операционные усилители универсального применения должны обеспечивать значительно больший дифференциальный коэффициент усиления, чем способен дать один каскад. Поэтому они строятся в основном по двухкаскадной схеме усиления напряжения. Упрощенная схема «классического» двухкаскадного ОУ  $\mu A741$  (полная схема включает 24 транзистора) приведена на рис. 6.7.

Входной каскад выполнен по схеме дифференциального усилителя на  $p$ - $n$ - $p$ -транзисторах  $VT1$  и  $VT2$ . В качестве нагрузки использовано токовое зеркало на  $n$ - $p$ - $n$ -транзисторах  $VT3$  и  $VT4$ . Для выходного тока входного каскада, следовательно, можно записать следующее соотношение:

Благодаря тому, что выходным сигналом дифференциального каскада является разностный ток, синфазные изменения коллекторных токов входных транзисторов взаимно компенсируются, что значительно ослабляет синфазные входные сигналы.

Источник тока эмиттеров выполнен на транзисторе  $VT9$ . В некоторых ОУ (например,  $140УД12$ ) для этого также используется токовое зеркало, причем его входной ток задается сопротивлением внешнего резистора и может им программироваться, что позволяет регулировать параметры ОУ, в частности, потребляемый им ток:

$$I_{ДУ} = I_{VT2} - I_{VT1}.$$

Еще одним обязательным узлом АИС являются схемы *сдвига уровня*, реализованные на базе эмиттерных повторителей (рис. 6.4, а, б).

Их изменение обусловлено необходимостью согласования уровней выходных сигналов ДУ с другими каскадами АИС.

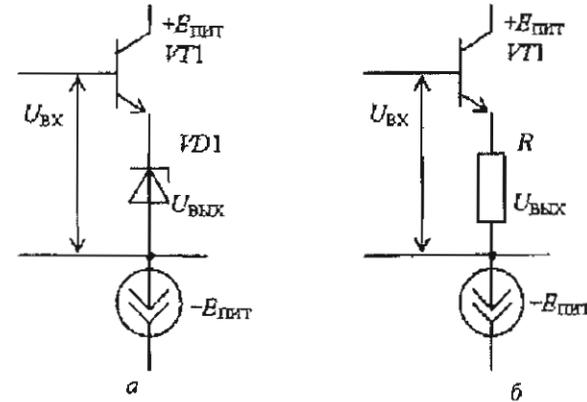


Рис. 6.4

Перечисленные узлы наряду с обычными транзисторными каскадами являются кирпичиками, из которых строятся ОУ, компараторы, перемножители и другие АИС.

Дифференциальные усилители используют, как правило, на входе АИС. В качестве промежуточных усилительных каскадов применяют либо также ДУ, либо транзисторы с общим эмиттером. Нагрузкой такого транзисторного усилителя, как правило, является генератор тока с большим выходным сопротивлением.

## 6.2. ОСНОВНЫЕ ПРИНЦИПЫ ПОСТРОЕНИЯ ОУ

### Общие сведения

Операционные усилители (ОУ) – это универсальные усиленные устройства, разработанные первоначально для выполнения математических операций в аналоговых вычислительных машинах. В настоящее время это основной узел многих разнообразных электронных схем, не отличающийся по размерам и

цене от отдельного транзистора. В то же время преобразование сигнала схемой на ОУ почти исключительно определяется свойствами цепей обратных связей усилителя и отличается высокой стабильностью и воспроизводимостью. Кроме того, благодаря практически идеальным характеристикам ОУ реализация различных электронных схем на их основе оказывается значительно проще, чем на отдельных транзисторах.

Все это обусловило массовость применения ОУ во многих областях аналоговой схемотехники.

На рис. 6.5 дано схемное обозначение операционного усилителя. Входной каскад его выполняется в виде дифференциального усилителя, так что операционный усилитель имеет два входа. Выходное напряжение  $U_{\text{ВЫХ}}$  находится в одной фазе с разностью входных напряжений:

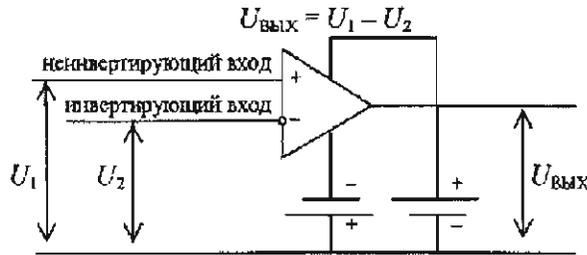


Рис. 6.5

Чтобы обеспечить возможность работы операционного усилителя как с положительными, так и с отрицательными входными сигналами, следует использовать *двухполярное питающее напряжение*. Обычно интегральные операционные усилители работают с напряжением питания  $\pm 15$  В.

Наконец, очень важное обстоятельство: операционный усилитель почти всегда охвачен *глубокой отрицательной связью*, свойства которой и определяют свойства схемы с ОУ. Принцип введения отрицательной обратной связи иллюстрируется рис. 6.6.

Часть выходного напряжения возвращается через цепь обратной связи ко входу усилителя. Если, как это показано на рис. 6.6, напряжение обратной связи вычитается из входного напряжения, обратная связь называется отрицательной.

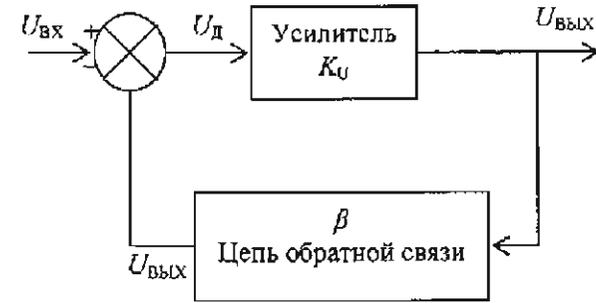


Рис. 6.6

Для физического анализа схемы, представленной на рис. 6.6, допустим, что входное напряжение изменилось от нуля до некоторого положительного значения  $U_{\text{ВХ}}$ . В первый момент выходное напряжение  $U_{\text{ВЫХ}}$ , а следовательно, и напряжение обратной связи  $\beta U_{\text{ВЫХ}}$  также равны нулю. При этом напряжение, приложенное ко входу операционного усилителя, составит  $U_{\text{Д}} = U_{\text{ВХ}}$ . Так как это напряжение усиливается с большим коэффициентом усиления  $K_{\text{У}}$ , то величина  $U_{\text{ВЫХ}}$  быстро возрастет до некоторого положительного значения и вместе с ней возрастет также величина  $\beta U_{\text{ВЫХ}}$ . Это приведет к уменьшению напряжения  $U_{\text{Д}}$ , приложенного ко входу усилителя. Тот факт, что выходное напряжение воздействует на входное напряжение, причем так, что это влияние направлено в сторону, противоположную изменению входной величины, и есть проявление отрицательной обратной связи. После достижения устойчивого состояния выходное напряжение ОУ

$$U_{\text{ВЫХ}} = K_{\text{У}} U_{\text{Д}} - K_{\text{У}} (U_{\text{ВХ}} - \beta U_{\text{ВЫХ}}).$$

Решив это уравнение относительно  $U_{\text{ВЫХ}}$ , получим:

$$K = U_{\text{ВЫХ}} / U_{\text{ВХ}} = K_{\text{У}} / (1 + \beta K_{\text{У}}).$$

При  $\beta K_{\text{У}} \gg 1$  коэффициент усиления ОУ, охваченного обратной связью, составит

$$K \cong 1 / \beta.$$

Требования к АЧХ ОУ предъявляются из-за наличия в нем паразитных емкостей и многокаскадной структуры. Системы такого рода, имеющие большой коэффициент усиления, при наличии обратной связи склонны к неустойчивости, проявляющейся в том, что даже при отсутствии сигнала на входе системы на ее выходе существуют колебания относительно большой амплитуды, которые и подавляют введением корректирующих элементов.

Кроме точностных параметров операционным усилителям присущи *динамические и эксплуатационные параметры*.

Параметры, характеризующие быстродействие ОУ, можно разделить на параметры для малого и большого сигналов. К первой группе *динамических* параметров относятся полоса пропускания  $f_p$ , частота единичного усиления  $f_1$  и время установления  $t_u$ . Эти параметры называются *малосигнальными*, т. к. они измеряются в линейном режиме работы каскадов ОУ ( $\Delta U_{\text{вых}} < 1 \text{ В}$ ). Ко второй группе относятся скорость нарастания выходного напряжения  $V_{\text{вых}}$  и мощностная полоса пропускания  $f_p$ . Эти параметры измеряются при большом дифференциальном входном сигнале ОУ (более 50 мВ). Время установления отсчитывается от момента подачи на вход ОУ ступеньки входного напряжения до момента, когда в последний раз станет справедливым равенство  $|U_{\text{вых уст}} - U_{\text{вых}}(t)| = \delta$ , где  $U_{\text{вых уст}}$  — установившееся значение выходного напряжения,  $\delta$  — допустимая ошибка.

*Мощностная полоса пропускания* ОУ определяется по виду амплитудно-частотной характеристики, снятой при максимально возможной амплитуде неискаженного выходного сигнала. Вначале на низких частотах устанавливают такую амплитуду сигнала от генератора гармонических колебаний, чтобы амплитуда выходного сигнала  $U_{\text{вых макс}}$  немного не доходила до границ насыщения усилителя. Затем увеличивают частоту входного сигнала. Мощностная полоса пропускания  $f_p$  соответствует значению  $U_{\text{вых макс}}$  равному 0,707 от первоначального значения. Величина мощностной полосы пропускания снижается при увеличении емкости корректирующего конденсатора.

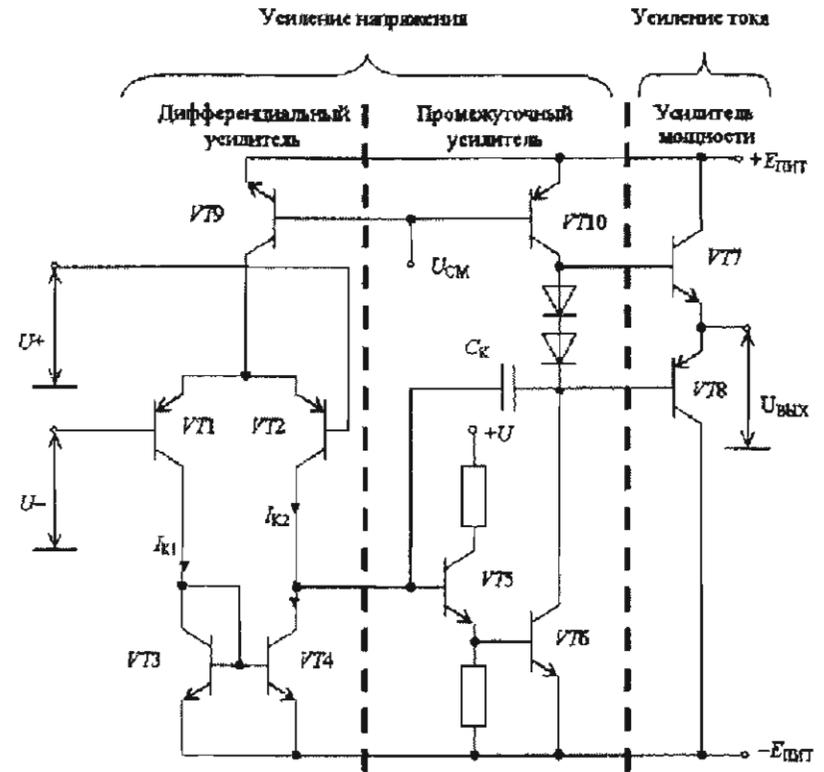


Рис. 6.7

Вторую ступень усиления образует промежуточный усилитель в виде каскада с общим эмиттером на транзисторе. Он имеет в качестве нагрузки источник тока на транзисторе. Для повышения входного сопротивления этого каскада на его входе включен эмиттерный повторитель на транзисторе  $VT5$ . Конденсатор  $C_k$  обеспечивает операционному усилителю частотную характеристику, аналогичную фильтру нижних частот.

Выходной каскад представляет собой двухтактный коммутационный эмиттерный повторитель на транзисторах  $VT7, VT8$ . Напряжение на участке цепи из двух последовательных диодов, включенных в прямом направлении, обеспечивает малый на-

чальный ток покоя этих транзисторов (режим класса АВ), что позволяет устранить переходные искажения сигнала. Такая схема обеспечивает симметрию выходного сопротивления ОУ при различной полярности выходного напряжения. Как правило, выходной каскад включает цепи защиты от короткого замыкания выхода.

### 6.3. ПАРАМЕТРЫ И НОМЕНКЛАТУРА ОУ

Для достаточной устойчивости и выполнения математических операций над сигналами с высокой точностью реальный операционный усилитель должен обладать следующими точными параметрами:

1. *Высоким коэффициентом усиления по напряжению  $K_U$ , в том числе и по постоянному;*
2. *Малым напряжением смещения нуля  $U_{см}^0$ .*
3. *Малыми входными токами,  $I_{вх}$ .*
4. *Высоким входным и низким выходным сопротивлением,  $R_{вх}$ ,  $R_{вых}$ .*
5. *Высоким коэффициентом ослабления синфазной составляющей (КОСС);*
6. *Амплитудно-частотной характеристикой с наклоном в области высоких частот 20 дБ/дек.*

Операционный усилитель должен быть усилителем постоянного тока с высоким коэффициентом усиления по напряжению и, следовательно, содержать несколько каскадов усиления напряжения. Как будет показано ниже, с ростом числа каскадов усиления напряжения увеличивается опасность нарушения устойчивости ОУ с обратными связями и усложняются цепи коррекции. Даже усилители с тремя каскадами усиления напряжения (например, 140УД2, 153УД1, 551УД1) имеют сложные схемы включения, и разработчики стараются их не применять. Это вызывает необходимость применения усилительных каскадов с очень высоким коэффициентом усиления по напряжению. Большие трудности проектирования усилителей постоянного тока связаны также со смещением нуля ОУ.

*Смещение нуля* ОУ проявляется в том, что при входном дифференциальном напряжении, равном нулю, выходное напряжение не равно нулю. Обычно определяют смещение нуля, приведенное ко входу, как такое дифференциальное напряжение, которое нужно приложить ко входу усилителя, чтобы его выходное напряжение было бы равно нулю. Смещение нуля по сути является аддитивной погрешностью выполнения математических действий ОУ над входными сигналами. Смещение нуля может иметь существенные температурный и временной дрейфы. Операционные усилители на дискретных транзисторах имели неудовлетворительное смещение нуля, связанное с неидентичностью транзисторов. Только применение и усовершенствование интегральной технологии, позволившей изготавливать парные транзисторы дифференциального каскада в едином производственном цикле и на расстоянии несколько микрон друг от друга, привело к существенному снижению смещения нуля и дрейфов.

У операционных усилителей с биполярными транзисторами на входе *входное сопротивление* для дифференциального сигнала  $R_d$  составляет несколько мегаом, а входное сопротивление для синфазного сигнала  $R_{вх}$  несколько гигаом. Входные токи, определяемые этими сопротивлениями, имеют величину порядка нескольких наноампер. Большие значения имеют постоянные токи, протекающие через входы операционного усилителя и определяемые смещением транзисторов дифференциального каскада. Для универсальных ОУ входные токи находятся в пределах от 10 нА до 2 мкА, а для усилителей со входными каскадами, выполненными на полевых транзисторах, они составляют доли наноампер.

Реальные операционные усилители довольно далеки от идеала в отношении *выходного сопротивления*. Так, рассмотренный выше ОУ типа  $\mu A74$ , имеет  $R_{вых}$  порядка 1 кОм. Оно в значительной степени уменьшается применением отрицательной обратной связи по напряжению. Снижение выходного напряжения схемы, вызванное падением напряжения на  $R_{вых}$  при подключении нагрузки, передается на инвертирующий вход усилителя через делитель напряжения  $R1$ ,  $R2$ . Возникающее при этом увеличение дифференциального напряжения компенсирует изменение выходного напряжения.

Таблица 6.4

## Микромощные ОУ

Модель	Напр. питания, В	$U_{см}$ , мВ	$I_{вх}$ , нА	$I_{потр}$ , мА	$V_{вых}$ , В/мкс
140УД12	1,5...18	5	3	0,1	0,5
154УД1	4...18	5	10	0,15	10
МАХ438	$\pm 3... \pm 5$	0,5	2	0,075	10
МАХ406	$\pm 0,8... \pm 18$	0,5	0,001	0,012	0,02
AD8541	2,7...5,5	5	0,004	0,04	0,07

**Мощные и высоковольтные операционные усилители.** Большинство типов ОУ рассчитаны на напряжение питания  $\pm 15$  В. Некоторые допускают питание от источников вплоть до  $\pm 22$  В. Этого недостаточно для управления, например, пьезоэлектрическими преобразователями, для некоторых физических и биологических исследований. Поэтому промышленность производит **высоковольтные ОУ**, допускающие более высокие питающее и выходное напряжения. К высоковольтным относят операционные усилители, имеющие разность положительного и отрицательного питающих напряжений свыше 50 В. Проблема повышения напряжений в интегральных полупроводниковых (монокристаллических) ОУ связана с трудностью создания интегральных высоковольтных транзисторов и прочной изоляции между элементами в кристалле. Поэтому большинство ОУ с напряжением питания свыше 100 В изготавливаются в виде гибридных ИМС. В то же время, фирма *Apex Microtechnology* (США) производит полупроводниковые интегральные ОУ PA90, PA92 и PA94, с номинальным напряжением питания  $\pm 200$  В, выходным напряжением  $\pm 170$  В и выходным током до 14 А.

Операционные усилители общего применения обычно допускают выходной ток до 5 мА. Для управления мощной нагрузкой применяются **мощные ОУ**. К мощным обычно относят усилители, допускающие выходной ток свыше 500 мА. Примером полупроводникового интегрального мощного ОУ может служить LM12 с выходным током до 10 А и рассеиваемой мощностью до 90 Вт. Фирма *Apex Microtechnology* выпускает сверхмощный гибридный ОУ PA30, допускающий выходной ток до 100 А и способный отдать в нагрузку мощность до 2000 Вт при

**Эксплуатационные параметры** ОУ определяют допустимые режимы работы его входных и выходных цепей и требования к источникам питания, а также температурный диапазон работы усилителя. Ограничения эксплуатационных параметров обусловлены конечными значениями пробивных напряжений и допустимыми токами через транзисторы ОУ. К основным эксплуатационным параметрам относятся: номинальное значение питающего напряжения  $E_{пит}$ ; допустимый диапазон питающих напряжений; ток, потребляемый от источника  $I_{пот}$ ; максимальный выходной ток  $I_{вых макс}$ ; максимальные значения выходного напряжения при номинальном питании; максимально-допустимые значения синфазных и дифференциальных входных напряжений.

В настоящее время в мире изготавливаются сотни наименований интегральных ОУ. Все это многообразие можно разделить на группы, объединенные общей технологией и схемотехникой, точностными, динамическими или эксплуатационными характеристиками, причем эти группы могут пересекаться, т. е. включать общие элементы.

С точки зрения внутренней схемотехники операционные усилители можно разделить на **биполярные**, **биполярно-полевые** и **МОП** (на комплементарных полевых транзисторах с изолированным затвором). В биполярно-полевых ОУ полевые транзисторы с управляющим *p-n* переходом или МОП-транзисторы обычно используются в качестве входных в дифференциальном входном каскаде. За счет этого достигается высокое входное сопротивление и малые входные токи.

Большая часть номенклатуры ОУ относится к усилителям общего назначения (табл. 6.1). Это дешевые усилители среднего быстродействия, невысокой точности и малой выходной мощности.

Таблица 6.1

## ОУ общего назначения

Модель	Напр. питания, В	$U_{см}$ , мВ	$I_{вх}$ , нА	$I_{вых}$ , мА	$I_{потр}$ , мА
140УД6	+ 5...+ 18	6	50	5	4
140УД7	+ 5...+ 18	4	200	5	3
140УД8	$\pm 5... \pm 18$	20	0,2	5	5
LF441	$\pm 5... \pm 18$	5	0,1	4	0,25

*Быстродействующие усилители* при средних точностных параметрах имеют высокочастотные характеристики ( $f_T = 20 \dots 1000$  МГц,  $V_{\text{вых}} = 10 \dots 1000$  В/мкс). Быстродействие ограничивают два обстоятельства. Во-первых, в состав входного дифференциального усилителя входят *p-n-p*-транзисторы, относительно низкочастотные из-за меньшей подвижности дырок по сравнению со свободными электронами. Во-вторых, скорость нарастания ограничена скоростью заряда корректирующего конденсатора  $C_k$ . Влияние первого фактора устраняют, используя во входном каскаде более быстродействующие *p*-канальные полевые транзисторы. Увеличить скорость заряда  $C_k$  можно либо увеличив ток дифференциального каскада, либо уменьшив емкость  $C$ . В первом случае увеличивается ток потребления ОУ, а во втором – ухудшается устойчивость. Повысить устойчивость можно, вводя дополнительные фазоопережающие звенья в схему усилителя или вне него. Как следствие, быстродействующие ОУ склонны к неустойчивости. Примеры: *K140УД10*, *K574УДЗ*, *K154УД4*, *ОРА634*. Параметры некоторых быстродействующих ОУ приведены в табл. 6.2.

Особые требования:

- скорость нарастания выходного напряжения  $V \geq 30$  В/мкс;
- время установления  $t_y \leq 1$  мкс;
- частота единичного усиления  $f_1 \geq 10$  МГц.

Таблица 6.2

Быстродействующие ОУ

Модель	$f_1$ , МГц	$V_{\text{вых}}$ , В/мкс	$t_y$ , мкс	$U_{\text{см}}$ , мкВ	$I_{\text{вых}}$ , мА
<i>K1420УД1</i>	110	280	0,065	10	20
<i>ОР-65Е</i>	200	200	0,015	0,75	7
<i>MS7388</i>	1500	3500	0,03	0,075	120
<i>AD840К</i>	400	400	0,08	0,5	50
<i>СLС401</i>	2100	1500	0,01	6,5	70

*Прецизионные усилители* имеют (табл. 6.3) высокий дифференциальный коэффициент усиления по напряжению, малое напряжение смещения нуля и малый входной ток обычно при низком или среднем быстродействии. Увеличение  $K_U$  возможно путем усовершенствования каскадов усиления по напряжению или применением трехкаскадной схемы (например, *K551УД1*), что

усложняет частотную коррекцию. Радикально уменьшить смещение нуля позволяет применение модуляции-демодуляции (МДМ) либо периодическая компенсация дрейфа (прерывание). Типичные примеры *K140УД26*, *МАХ400М*, *ОРА227* (без прерывания), *ICL 7652*, *140УД24*, *МАХ430* (с прерыванием).

Таблица 6.3

Прецизионные ОУ

Модель	$U_{\text{см}}$ , мкВ	$\Delta U_{\text{см}}/\Delta T$ , мкВ/С°	$K_U$ , тыс.	$I_{\text{вх}}$ , мА	$f_1$ , МГц
<i>K1420УД24</i>	5	0,05	1000	0,01	0,8
<i>ОР-97Е</i>	10	0,2	700	0,03	0,9
<i>AD707С</i>	5	0,03	8000	0,5	0,9
<i>МАХ420Е</i>	1	0,02	1000	0,01	0,5
<i>ICL7652</i>	0,7	0,01	6000	0,03	0,5

*Микроомные усилители* используются в приборах, получающих питание от гальванических или аккумуляторных батарей. Эти усилители потребляют очень малый ток от источников питания (например, ОУ *МАХ406* потребляет ток не более 1,2 мкА). Все другие параметры (особенно быстродействие) у них обычно невысокие. Для того чтобы дать возможность проектировщику найти компромисс между малым потреблением и низким быстродействием некоторые модели микроомных ОУ выполняются программируемыми. Программируемый ОУ имеет специальный вывод, который через внешний резистор соединяется с общей точкой или источником питания определенной полярности. Сопротивление резистора задает ток системы токовых зеркал усилителя, которые выполняют функции генераторов стабильного тока и динамической нагрузки каскадов усилителя. Уменьшение этого резистора приводит к увеличению быстродействия ОУ и увеличению потребляемого тока. Увеличение – к обратному результату. Типичные примеры: *K140УД12*, *K1407УД2*, *ОР22*. Обычная величина тока потребления для микроомных и программируемых ОУ – десятки микроампер. Микроомные ОУ, как правило, допускают питание от весьма низких напряжений. Например, ОУ типа *МАХ480* допускает работу от источников с напряжением от  $\pm 0,8$  до  $\pm 1,8$  В при токе потребления 15 мкА.

$$U_{\text{ВЫХ}} = \sum_{i=1}^n K_i \cdot U_{\text{ВХ}i},$$

где  $K_i = -\frac{R_{\text{ОС}}}{R_i}$  – коэффициент передачи  $i$ -го входного сигнала.

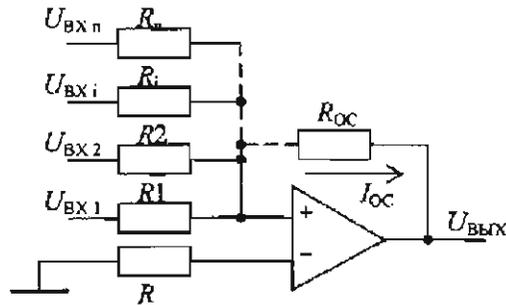


Рис. 6.10

Чтобы исключить влияние входного тока ОУ на точность суммирования, необходимо неинвертирующий вход ОУ заземлить через резистор  $R$ , сопротивление которого вычисляется из уравнения

$$\frac{1}{R} = \frac{1}{R_{\text{ОС}}} + \sum_{i=1}^n \frac{1}{R_{\text{ОС}}}$$

Операционный усилитель позволяет суммировать или вычитать сигналы одновременно по обоим входам.

### Интеграторы

Интегрирование аналоговых сигналов осуществляется ОУ с емкостной ОС (рис. 6.11). Благодаря большому  $K_{\text{У}}$  и малому  $I_{\text{ВХ}}$  напряжение на инвертирующем входе усилителя близко к нулю, а токи во входной цепи  $I_{\text{ВХ}}$  и в цепи ОС  $I_{\text{ОС}}$  приблизительно равны, т. е.

$$\frac{U_{\text{ВХ}}}{R_1} = -\frac{U_{\text{ВЫХ}}}{\frac{1}{\rho c}} \quad \text{или} \quad U_{\text{ВЫХ}}(t) = -\frac{1}{RC} \int U_{\text{ВХ}} dt.$$

жидкостном охлаждении. Дальнейшее увеличение выходной мощности усилителей возможно путем использования режима класса  $D$  (ключевой режим). Рекордными являются характеристики гибридного усилителя фирмы Apex SA08 с широтно-импульсной модуляцией на частоте 22 кГц: 10 кВт при напряжении до 500 В и токе до 20 А. При этом КПД усилителя достигает 98 %.

В табл. 6.5 приведены основные параметры некоторых моделей высоковольтных и мощных ОУ.

Таблица 6.5

Высоковольтные и мощные ОУ

Тип ОУ	Напр. питания, В	$U_{\text{СМ}}$ , мВ	$I_{\text{ВХ}}$ , нА	$I_{\text{ПОРТ}}$ , мА	$V_{\text{ВЫХ}}$ , В/мкс
1408УД1	$\pm 7 \dots \pm 40$	5	20	20	2
157УД1	$\pm 3 \dots \pm 20$	5	500	600	0,5
LM12	$\pm 10 \dots \pm 40$	7	300	104	9
AD3583	$\pm 150$	3	20	75	30
РА031	$\pm 15 \dots \pm 75$	3	0,05	$3 \cdot 10^4$	10
РА30	$\pm 15 \dots \pm 100$	–	–	105	20
РА85	$\pm 15 \dots \pm 225$	–	–	200	1000

Многие фирмы выпускают *многоканальные усилители*. Это микросхемы, имеющие на одном кристалле два, три или четыре однотипных ОУ. Например, ИМС типа 140УД20 имеет в своем составе два ОУ 140УД7. Микросхемы МАХ406/407/409 и ОРА227/2227/4227 включают, соответственно, один, два и четыре однотипных усилителя.

Если источник сигнала – однополярный (например, фотодиод), целесообразно использовать *операционный усилитель с однополярным питанием*. Это позволит питать усилитель от одной батареи или даже элемента, например, от литиевого элемента напряжением 3 В. Основное требование, предъявляемое к ОУ с однополярным питанием, – диапазон входного синфазного сигнала должен простираться ниже отрицательного напряжения питания (обычно привязанного к потенциалу земли), а размах выходного напряжения должен быть ограничен снизу практически напряжением питания (потенциалом земли). Существуют усилители, диапазоны входных и выходных напряжений кото-

рых почти достигают и верхней, и нижней границы питания (так называемые *rail-to-rail* вход и выход), причем входные напряжения могут даже заходить за эти границы. Типичные примеры: *MAX495*, потребляющий от однополярного источника ток 150 мкА, *LMV321*, потребляющий ток 145 мкА, от источника 1,8 В.

#### 6.4. ТИПОВЫЕ ВАРИАНТЫ ИСПОЛЬЗОВАНИЯ ОУ

Вследствие большого коэффициента усиления ОУ является высокочувствительным элементом, усиливающим как очень малые полезные сигналы, так и собственные шумы и наводки на внешние выводы. Несимметрия монтажа электрических схем, разброс и нестабильность параметров элементов микросхем и компонентов внешних цепей усиливают действие помех. Основной причиной, по которой коэффициент усиления ОУ делают большим, является обеспечение высокой стабильности его параметров при использовании глубокой отрицательной обратной связи.

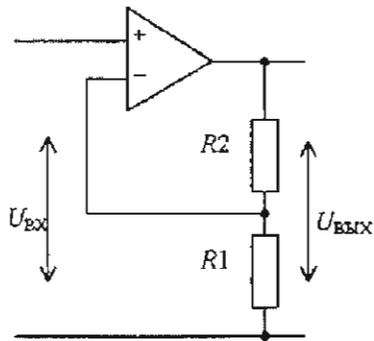


Рис. 6.8

В зависимости от вида цепи ОС различают инвертирующее и неинвертирующее включения ОУ. При неинвертирующем включении входной сигнал подается на неинвертирующий вход ОУ, а на инвертирующий вход через делитель на резисторах  $R1$  и  $R2$  поступает сигнал с выхода усилителя (рис. 6.8). Коэффициент усиления схемы равен:

$$K_U = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = 1 + \frac{R2}{R1}$$

При инвертирующем включении неинвертирующий вход ОУ соединяется с общей шиной (рис. 6.9).

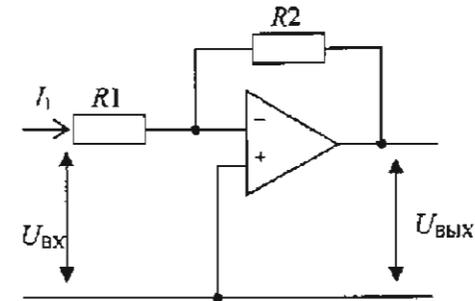


Рис. 6.9

Коэффициент усиления этого устройства равен:

$$K_U = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = -\frac{R2}{R1}$$

Таким образом, выходное напряжение усилителя в данном включении находится в противофазе по отношению к входному.  $K_U$  этой схемы в зависимости от соотношения сопротивлений резисторов может быть как больше, так и меньше единицы.

ОУ являются практически незаменимыми при реализации различных математических операций. Рассмотрим некоторые схемы.

#### Сумматоры и вычитатели

В обычном инвертирующем сумматоре (рис. 6.10) сумма токов  $I_1 \dots I_n$ , протекающих через входные резисторы  $R_1 \dots R_n$  равна току, протекающему через резистор  $R_{\text{ОС}}$  в цепи ОС, т. е.  $\sum_{i=1}^n I_i = -I_{\text{ОС}}$ , где знак  $I_i$  определяется полярностью аналогового

сигнала  $U_{\text{ВХ}i}$ . Поскольку  $I_i = \frac{U_{\text{ВХ}i}}{R_i}$  и  $I_{\text{ОС}} = \frac{U_{\text{ВЫХ}}}{R_{\text{ОС}}}$ , выражение для выходного напряжения записывается в виде

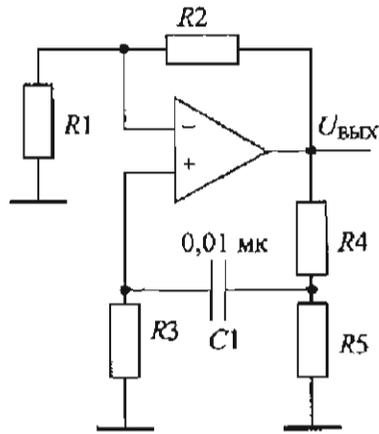


Рис. 6.15

Легко реализуются генераторы колебаний прямоугольной формы. Они также исполняются на основе ОУ, охваченного положительной ОС, но в отличие от схемы на рис. 6.15 в ней присутствует только активное сопротивление.

Генераторы колебаний треугольной и пилообразной формы используют в своем составе, как правило, интеграторы, задающие постоянный ток заряда конденсатора, напряжение на котором и будет линейным.

Можно использовать при этом цикл «заряд – разряд» – для формирования треугольных колебаний или «заряд – сброс» – для формирования пилообразных колебаний.

## 6.5. СТРУКТУРА И РАЗНОВИДНОСТИ ИС КОМПАРАТОРОВ

### Общие сведения

По массовости применения в электронной аппаратуре и номенклатуре компараторы уступают среди АИС только операционным усилителям. Компараторы напряжения относятся к специализированным ОУ, в которых нормальным является нелинейный режим работы каскадов.

**Компараторы** – особый тип аналоговых устройств, производящих сравнение двух (реже трех) входных аналоговых сигналов и формирующих выходной сигнал в виде логического уровня.

Входные аналоговые сигналы компаратора это:  $U_{ВХ}$  – анализируемый сигнал и  $U_{ОП}$  – опорный сигнал сравнения, а выходной сигнал  $U_{ВЫХ}$  – логический сигнал, содержащий 1 бит информации.

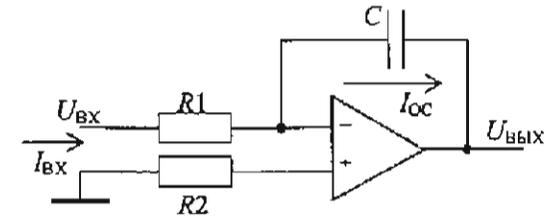


Рис. 6.11

Основные составляющие ошибок интегрирования обусловлены напряжением смещения нуля  $U_{СМ}$  и входными токами ОУ. При  $U_{ВХ} = 0$  входные токи усилителя протекают через конденсатор, заряжая его. Это приводит к появлению линейно изменяющейся составляющей выходного напряжения, т. е. данный узел превращается в этом случае в генератор пилообразного напряжения.

### Аналоговые дифференциаторы

Уравнения, описывающие функционирование простейшего аналогового дифференциатора (рис. 6.12) на базе ОУ, записываются, исходя из равенства  $I_{ВХ} = I_{ОС}$  при  $R1 = 0$  и  $C_{ОС} = 0$ .

$$U_{ВЫХ}(p) = \frac{U_{ВХ}(p) \cdot R_{ОС}}{\rho C_1} \text{ или } U_{ВЫХ}(t) = - \frac{C_1 \cdot R_{ОС}}{dt} dU_{ВХ}.$$

Статические ошибки определяются в основном значениями  $U_{СМ}$  и  $I_{ВХ}$ .

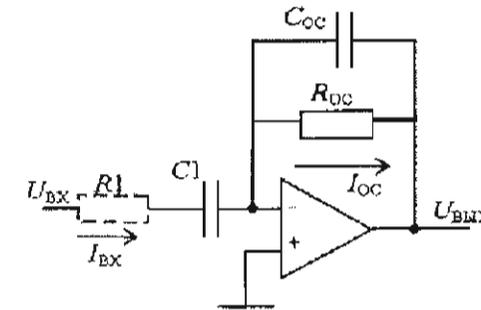


Рис. 6.12

При повышении частоты возрастает усиление дифференциатора и увеличивается составляющая ошибки, обусловленная внутренними шумами ОУ.

### Логарифмические усилители

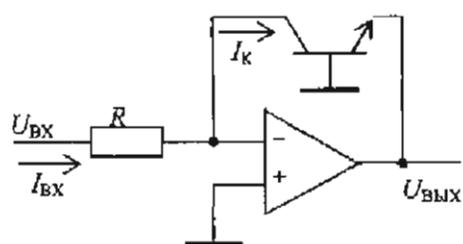


Рис. 6.13

Для логарифмирования аналогового сигнала используются ОУ с *p-n* переходом в цепи ОС (рис. 6.13).

В данной структуре коллекторное и базовое напряжения транзистора близки к

нулю и почти постоянны при логарифмировании. Передаточная функция в схеме на рис. 6.13 описывается выражением:

$$U_{\text{ВЫХ}} = E_0 (\log \frac{I_K}{I_{K0}} - \log h_{21\sigma}),$$

где  $E_0 = [kT/q] \varphi_T$  ( $\varphi_T$  – температурный потенциал);

$I_{K0}$  – тепловой ток *p-n* перехода;

$h_{21}$  – коэффициент передачи базового тока транзистора.

Структура, изображенная на рис. 6.13, применяется обычно для точного логарифмирования с наибольшим диапазоном рабочих токов.

### Формирователи специальных функций

Комбинации рассмотренных выше схем с использованием ОУ могут быть использованы для выполнения более сложных операций, таких как:

- возведение в произвольную степень;
- реализация прямых и обратных тригонометрических функций;
- вычисление длины вектора.

Преобразователи напряжения в частоту используют при согласовании между аналоговыми и цифровыми схемами.

Простейшая схема преобразователя напряжения в частоту (рис. 6.14) содержит управляемый напряжением генератор тока ГТ, обеспечивающий линейный процесс заряда конденсатора *C* до порогового значения  $U_{\text{ПОР}}$ . При достижении напряжения на конденсаторе этого значения, ОУ запускает формирователь, который вырабатывает один импульс фиксированной длительности. Синхронно с этим замыкаются контакты ключа *S*, разряжающего конденсатора *C*. Затем цикл вновь повторяется и тем чаще, чем большую величину имеет  $U_{\text{ВХ}}$ . В итоге  $U_{\text{ВЫХ}}$  представляет собой последовательность импульсов с частотой, пропорциональной  $U_{\text{ВХ}}$ .

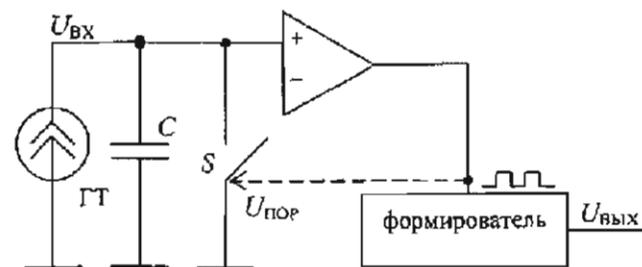


Рис. 6.14

Преобразователи описанного типа – весьма удачный элемент различных измерительных систем. Действительно, остается установить временные «ворота», подсчитать количество импульсов в этих «воротах» – и результат в цифровом виде готов.

### Генераторы сигналов

Гибкость и универсальность ОУ с минимальным числом внешних элементов позволяет создавать простые и удобные в настройке и регулировке генераторы всех видов колебаний с требуемыми параметрами.

лем, логическим элементом (597CA2, 521CA4). Однако независимо от своей конструкции формирователь уровня должен быть усилителем мощности, формирующим на выходе компаратора соответствующие уровни напряжений лог. «0» или лог. «1».

Основным узлом современных компараторов являются ДУ с резисторной нагрузкой. Особенно противоречивы требования к параметрам элементов и режиму работы входного ДУ, который определяет входные параметры компаратора (входные токи, напряжение смещения нуля, их температурные дрейфы и т. д.) и должен за минимальное время при минимальной потребляемой мощности обеспечить максимальный сигнал для переключения промежуточного усилителя. Поэтому в компараторах стремятся технологическими или схемотехническими средствами устранить насыщение транзисторов ДУ. Этот узел компаратора должен обладать большим коэффициентом ослабления синфазной составляющей (КОСС) и способностью выдерживать большие синфазные и дифференциальные сигналы на входах, не насыщаясь, т. е. не попадая в режимы, из которых компаратор будет долго выходить. Для повышения помехозащищенности желательно снабдить компаратор стробирующим логическим входом, разрешающим переключение компаратора только в тактовые моменты.

Схема первого промышленного интегрального компаратора  $\mu A710$  (отечественный аналог — 521CA2), разработанного Р. Видларом в США в 1965 г., приведена на рис. 6.17.

Она представляет собой дифференциальный усилитель на транзисторах  $VT1$ ,  $VT2$ , нагруженный на каскады ОО на  $VT5$  и  $VT6$ . Каскад на  $VT5$  через транзистор  $VT4$  управляет коллекторным режимом входного каскада и через транзистор в диодном включении  $VT7$  фиксирует потенциал базы транзистора  $VT8$ , делая его независимым от изменений положительного напряжения питания. Каскад на  $VT6$  представляет собой второй каскад усиления напряжения. На транзисторе  $VT8$  выполнен эмиттерный повторитель, передающий сигнал с коллектора  $VT6$  на выход. Постоянная составляющая сигнала уменьшается до нулевого уровня стабилитроном  $VD2$ .

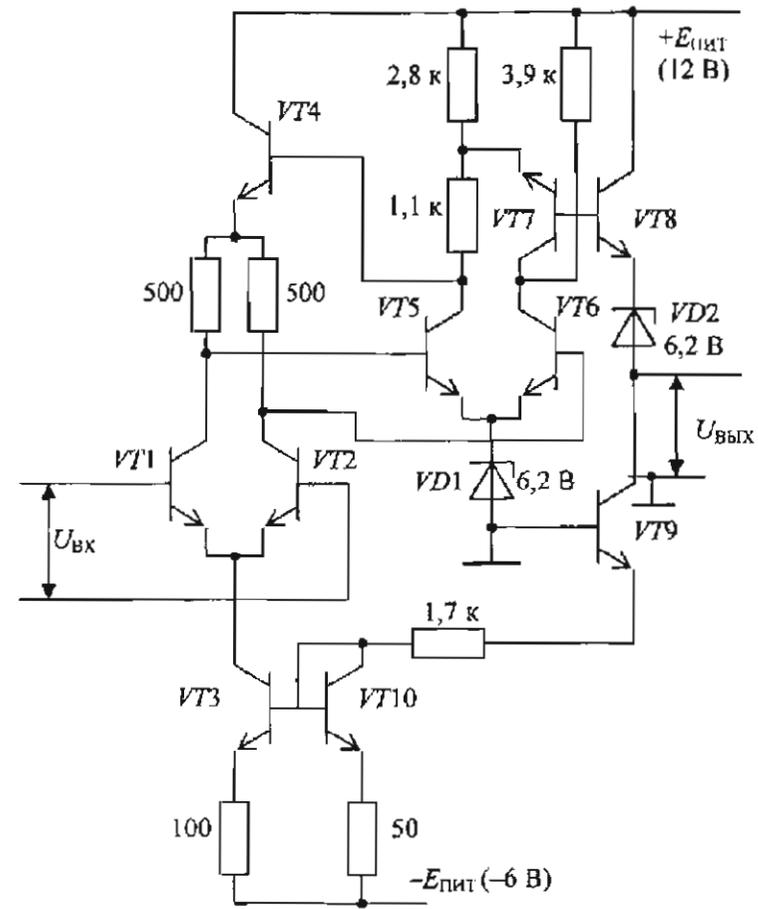


Рис. 6.17

Если дифференциальное входное напряжение превышает +5...+10 мВ, то транзистор  $VT6$  закрыт, а  $VT5$  близок к насыщению. Выходной сигнал компаратора при этом не превышает +4 В. При обратном знаке входного напряжения  $VT6$  насыщается, поэтому потенциал выхода близок к нулю. Транзистор  $VT9$  — источник тока 3 мА для смещения  $VT8$  и  $VD2$ .

В дальнейшем эта схема развивалась и совершенствовалась. Схемы многих компараторов имеют стробирующий вход для синхронизации, а некоторые модификации снабжены на выходе триггерами-защелками, т. е. схемами, фиксирующими состояние выхода компаратора по приходу синхросигнала. Кроме того, для повышения функциональной гибкости часть ИМС компараторов (например, *MAX917-920*) содержит источник опорного напряжения, а у некоторых (например, *MAX910*) порог срабатывания устанавливается цифровым кодом от 0 до 2,56 В с дискретностью 10 мВ, для чего на кристалле микросхемы имеются источник опорного напряжения и 8-разрядный цифроаналоговый преобразователь.

Выходные каскады компараторов обычно обладают большей гибкостью, чем выходные каскады операционных усилителей. В обычном ОУ используют двухтактный выходной каскад, который обеспечивает размах напряжения в пределах между значениями напряжения питания (например, ±13 В для ОУ типа *140УД7*, работающего от источников ±15 В). В выходном каскаде компаратора эмиттер, как правило, заземлен, и выходной сигнал снимается с «открытого коллектора». Выходные транзисторы некоторых типов компараторов, например *521СА3* или *LM311*, имеют открытые, т. е. неподключенные, и коллектор, и эмиттер. Две основные схемы включения компараторов такого типа приведены на рис. 6.18, а, б.

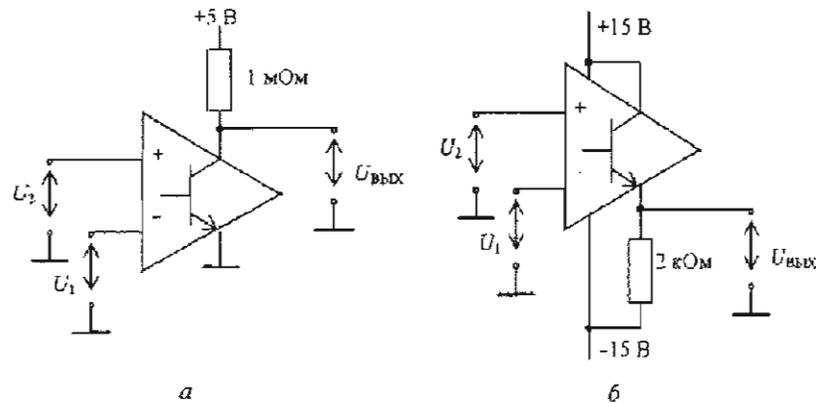


Рис. 6.18

$$U_{\text{вых}} = \begin{cases} U_{\text{вых}}^1 & \text{при } U_{\text{вх}} - U_{\text{оп}} > 0 \\ U_{\text{вых}}^0 & \text{при } U_{\text{вх}} - U_{\text{оп}} < 0 \end{cases}$$

Выходной сигнал компаратора почти всегда подается на логические устройства, поэтому согласуется по уровню и мощности с их входами. Таким образом, компаратор – это элемент перехода от аналоговых к цифровым сигналам, поэтому его иногда называют однобитным аналогово-цифровым преобразователем.

### Структура компараторов и особенности их функционирования

Подобно ОУ в компараторах напряжения обычно три каскада: входной ДУ, промежуточный усилитель и формирователь уровня (ФУ) (рис. 6.16).

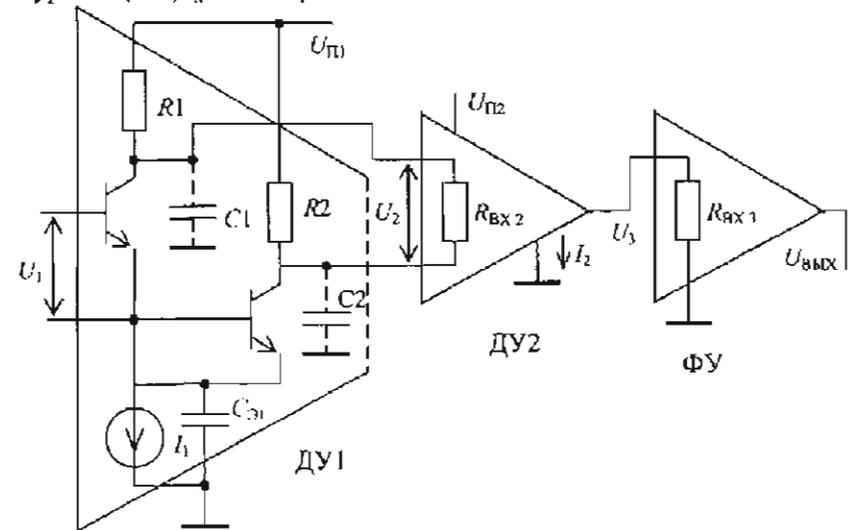


Рис. 6.16

Основные схемотехнические различия современных компараторов напряжения заключены в конструкции. Последний может быть эмиттерным повторителем (*521СА5*, *521СА2*), одно-

Таблица 6.6

Модель	$K_u$ , тыс.	$U_{см}$ , мВ	$I_{вх}$ , мкА	$t_{пер}$ , нс	Вых. уровни
Универсальные компараторы					
<i>K521CA2</i>	1,5	3	25	90	ТТЛ
<i>SE521</i>	5	5	20	12	ТТЛ
Прецизионные компараторы					
<i>K521CA3</i>	200	3	0,1	200	ТТЛ
<i>CMP-02</i>	200	0,8	0,05	190	КМОП
<i>AD790</i>	300	0,25	1,8	40	КМОП
<i>K597CA3</i>	70	3	0,35	30	КМОП
Быстродействующие компараторы					
<i>K597CA1</i>	1	2	10	6,5	ЭСЛ, ТТЛ
<i>SE9685</i>	300	5	20	2,3	ЭСЛ
<i>MAX9685</i>	5	5	10	1,3	ЭСЛ
<i>AD8561</i>	3	3	4	5	ТТЛ, КМОП
Микромощные компараторы					
<i>MAX922</i>	10	10	0,005	1200	ТТЛ, КМОП
<i>MAX918</i>	-	5	$5 \cdot 10^{-5}$	2500	ТТЛ, КМОП
<i>TLC339</i>	-	3	0,003	1000	ТТЛ, КМОП

В заключение перечислим некоторые особенности компараторов по сравнению с ОУ.

1. Несмотря на то, что компараторы очень похожи на операционные усилители, в них почти никогда не используют отрицательную обратную связь, так как в этом случае весьма вероятно (а при наличии внутреннего гистерезиса — гарантировано) самовозбуждение компараторов.
2. В связи с тем, что в схеме нет отрицательной обратной связи, напряжения на входах компаратора неодинаковы.
3. Из-за отсутствия отрицательной обратной связи входное сопротивление низко и может меняться при изменении входных сигналов.
4. Выходное сопротивление компараторов значительно и различно для разной полярности выходного напряжения.

На рис. 6.18, а выходной транзистор компаратора включен по схеме с общим эмиттером. При потенциале на верхнем выводе резистора, равном +5 В, к выходу можно подключать входы ТТЛ, ИМОП- и КМОП-логику с питанием от источника 5 В. Для управления КМОП-логикой с более высоким напряжением питания следует верхний вывод резистора подключить к источнику питания данной цифровой микросхемы.

Если требуется изменение выходного напряжения компаратора в пределах от  $U_{пит}$  до  $U_{пит}$ , выходной каскад включается по схеме эмиттерного повторителя (рис. 6.18, б). При этом заметно снижается быстродействие компаратора, и происходит инверсия его входов.

Некоторые модели интегральных компараторов (например, *AD790*, *MAX907*) имеют внутреннюю неглубокую положительную обратную связь, обеспечивающую их переходной характеристике гистерезис с шириной петли, соизмеримой с напряжением смещения нуля.

Необходимость в гистерезисе возникает для улучшения помехоустойчивости компаратора. Поясним с помощью рис. 6.19 эти особенности работы схемы.

Чтобы выходной сигнал компаратора изменился на конечную величину  $|U_{вых}^1 - U_{вых}^2|$  при бесконечно малом изменении входного сигнала, компаратор должен иметь бесконечно большой коэффициент усиления (эпюра 1 на рис. 6.19) при полном отсутствии шумов во входном сигнале. Такую характеристику можно имитировать двумя способами: или просто использовать усилитель с очень большим коэффициентом усиления, или ввести положительную

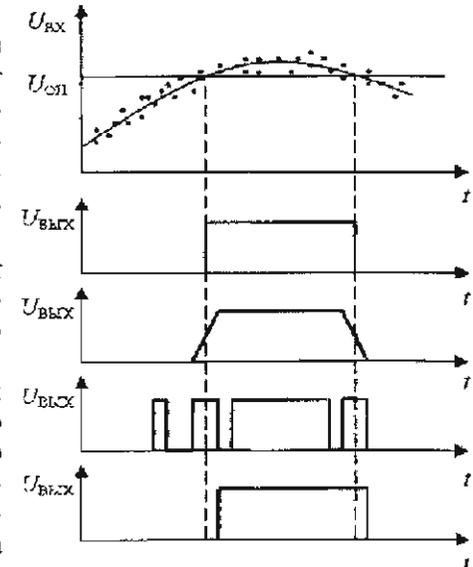


Рис. 6.19

обратную связь. Первый способ не дает гарантированного эффекта, поскольку как бы велико усиление не было, при  $U_{вх}$  близком к нулю, характеристика будет иметь вид, изображенный на рис. 6.20, а. Это приведет к двум неприятным последствиям. Прежде всего, при очень медленном изменении  $U_{вх}$  выходной сигнал также будет изменяться замедленно, что плохо отразится на работе последующих логических схем (эпюра 2 на рис. 6.19). Еще хуже то, что при таком медленном изменении  $U_{вх}$  около нуля выход компаратора может многократно с большой частотой менять свое состояние под действием помех (так называемый «дребезг», эпюра 3). Это приведет к ложным срабатываниям в логических элементах и к огромным динамическим потерям в силовых ключах. Для устранения этого явления обычно вводят положительную обратную связь, которая обеспечивает переходной характеристике компаратора гистерезис (рис. 6.20, б). Наличие гистерезиса хотя и вызывает некоторую задержку в переключении компаратора (эпюра 4 на рис. 6.19), существенно уменьшает или даже устраняет дребезг  $U_{вых}$ .

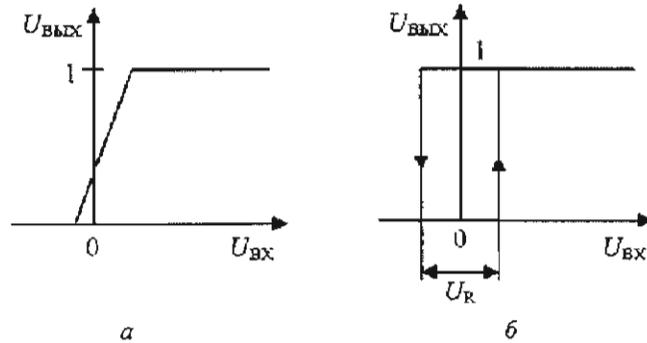


Рис. 6.20

Иногда в схемах автоматического регулирования и управления используют *двухпороговый компаратор*, который фиксирует, находится ли входное напряжение между двумя заданными пороговыми напряжениями или вне этого диапазона. Для реализации такой функции выходные сигналы двух компараторов необходимо подвергнуть операции логического умножения (рис. 6.21, а). Как показано на рис. 6.21, б на выходе логического элемента единичный уровень сигнала будет иметь место то-

гда, когда выполняется условие  $U_1 < U_{вх} < U_2$ , так как в этом случае на выходах обоих компараторов будут единичные логические уровни. Такой компаратор выпускается в виде ИМС  $\mu A711$  (отечественный аналог –  $521CA1$ ).

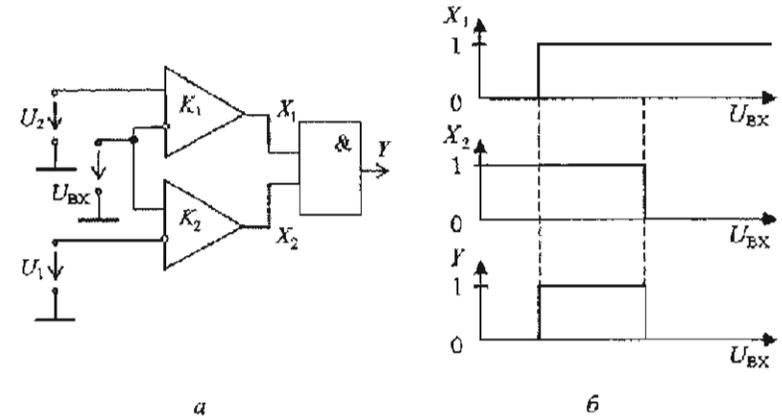


Рис. 6.21

### Параметры и номенклатура компараторов

Как и для ОУ, параметры компараторов можно разделить на три группы:

- точностные (см. п. 6.3);
- динамические, основным из которых является время переключения  $t_{п}$  – промежуток времени от начала сравнения до момента, когда выходное напряжение компаратора достигает противоположного логического уровня;
- эксплуатационные, определяющие допустимые режимы работы их входных и выходных цепей, требования к источникам питания и температурный диапазон работы.

В настоящее время в мире изготавливаются сотни наименований интегральных компараторов. Эти АИС можно условно разделить на следующие группы: универсальные (или общего применения), быстродействующие, прецизионные, микроомощные.

В табл. 6.6 приведены основные параметры некоторых моделей компараторов различных типов.

Принцип действия большинства АЦП можно охарактеризовать следующим образом. С помощью прецизионных аппаратных средств создается *образцовая шкала* какого-либо параметра электронного сигнала, которая «прикладывается» к соответствующему параметру преобразуемого (измеряемого) сигнала. При этом происходит *отсчет* целого числа делений упомянутой шкалы (округление) и *представление* результатов преобразования в виде различных двоичных кодов, числа импульсов, пропорционального преобразуемому параметру или импульсной последовательности с частотой, пропорциональной этой последовательности. Способы создания образцовой шкалы, реализация операций представления результатов преобразования определяют многообразие структурных решений реализации АЦП. Таким образом, АЦ-преобразование – это, в первую очередь, измерение и представление результата в виде ограниченного множества чисел.

Округление в АЦП сопровождается появлением погрешности квантования (округления) – из-за неопределенности нахождения истинного значения параметра между двумя значениями шкалы, то есть в диапазоне, называемым квантом.

Операция ЦА-преобразования в информационном смысле обратна АЦ-преобразованию, с той разницей, что погрешность квантования отсутствует, а результатом этой операции является формирование ограниченного множества значений выходной аналоговой величины, соответствующего множеству значений кода на входе ЦА-преобразователя.

Поскольку процедура ЦА-преобразования обычно предполагает аналоговое суммирование эталонных значений, имеющих разный вес (а легче всего просуммировать напряжения или токи), эта процедура реализуется в подавляющем большинстве случаев без использования временных сумм. В результате номенклатура структурных решений ЦАП гораздо менее обширна, чем при реализации АЦП.

В целом к процессу АЦ-преобразования применима *аналогия*, характеризуемая термином «измерить», то есть определить какое-то численное конечное значение непрерывной аналоговой величины, а для ЦА-преобразования – характеризуемая термином «отмерить», когда числу (коду) приводится в соответствие определенная точка в диапазоне изменения аналоговой величины.

## 7.1. СТРУКТУРНЫЕ РЕШЕНИЯ И НОМЕНКЛАТУРА БИС АЦП

Многообразие структур АЦП объединяют, как правило, в три основных класса:

- параллельные;
- последовательные;
- параллельно-последовательные.

Рассмотрим структуры, типичные для этих классов, приводя одновременно информацию об ИС, реализованных в соответствии с этими структурами.

### Параллельные АЦП

Устройства, относящиеся к этому классу, оперируют такими параметрами электрического сигнала, как ток и напряжение. Рассмотрим структуру параллельного АЦП (рис. 7.1), по сути являющуюся единственной для этого класса.

Здесь с помощью  $n$  резисторов  $R$  за счет протекания тока от источника опорного напряжения  $E_{оп}$  создается шкала напряжений, например, с квантом (шагом) 10 мВ.

При этом передаточная характеристика АЦП определяется соотношением резисторов  $R$  – при равенстве значений их сопротивлений – она линейна. Линейка  $n$  компараторов  $K$  осуществляет сравнение упомянутой шкалы с измеряемым аналоговым напряжением  $A_x$ . Предположим,  $A_x = 25$  мВ, то есть  $E_1 < E_2 < A_x < E_3 \dots E_n$ . В этом случае компараторы  $K_1$  и  $K_2$  будут иметь на выходах, например, лог. «1», в отличие от  $K_3 \dots K_n$ , имеющих на выходах лог. «0». С возрастанием  $A_x$  все большее число компараторов переключится из лог. «0» в лог. «1». Таким образом, на выходах компараторов  $K_1 \dots K_n$  сформируется  $n$ -разрядный позиционный код. Его недостаток известен – это большая избыточность, поэтому, как правило, он сворачивается с помощью преобразователя кода (шифратора) в более компактную форму. Чаще всего – это натуральный двоичный код или код Грея. Соотношение между входной и выходной разрядностью преобразователя в этом случае следующее:

$$N = \log_2 n.$$

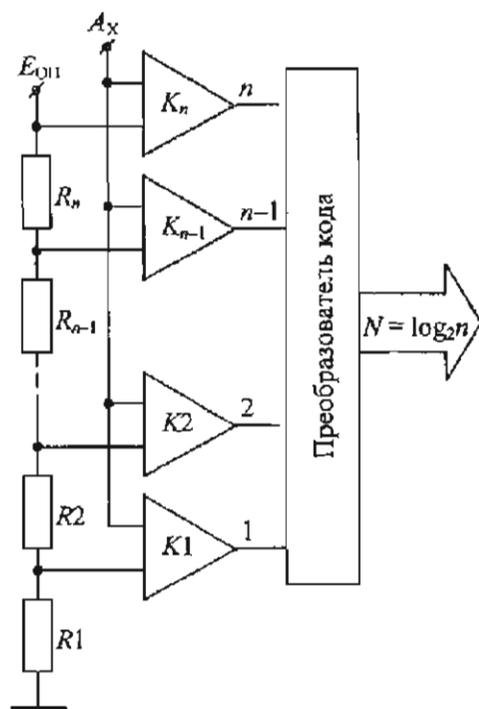


Рис. 7.1

Процесс измерения и преобразования в этой структуре имеет наибольшую аналогию с измерением длины отрезка линейкой, с той разницей, что при АЦ-преобразовании округляет результат и представляет его в более компактной форме сам прибор, а во втором случае – человек. Структуры параллельных АЦП – чемпионы по быстродействию, поскольку операции сравнения компараторами и преобразования кода не требуют больших затрат времени. Для 6–8-разрядных ИС

серии 1107 (табл. 7.1) время преобразования составляет 20...50 нс. Однако большое число каналов сравнения резко усложняет аппаратную реализацию таких устройств, особенно в микроэлектронном исполнении, поскольку для 6 двоичных разрядов это 64 канала, для 8 – 256. Поэтому такие устройства весьма дороги. Так, например, ИС 1107 серии в 5–7 раз дороже, чем ИС, реализованные в соответствии с другими алгоритмами. 10-разрядные ИС AD9020 и AD9060 имеют стоимость, соизмеримую со стоимостью измерительного прибора средней сложности.

## ГЛАВА 7. МИКРОСХЕМЫ АНАЛОГО-ЦИФРОВОГО И ЦИФРОАНАЛОГОВОГО ПРЕОБРАЗОВАНИЙ

Параметры АЦП и ЦАП, как, впрочем, и других узлов электронной аппаратуры, во многом определяются техническими и эксплуатационными параметрами аппаратуры, в которой они применяются. Так, для решения задач, связанных с обработкой информации в реальном масштабе времени (радиолокация, телевидение, связь), были созданы ИС с определенной аппаратурной избыточностью и регулярной структурой, что объясняется погоней за быстродействием. Прецизионные измерения, управление станками, цифровая звукозапись и воспроизведение невозможны без АЦП и ЦАП с большой разрядностью (на уровне 14...16 и более двоичных разрядов), процесс преобразования в которых часто управляется и корректируется с помощью вычислительных средств.

Бортовая аппаратура со своими жесткими требованиями по энергопотреблению и массогабаритными показателями требует применения микромоощных и функционально законченных преобразователей.

Для изделий широкого применения характерно использование относительно простых по структуре дешевых ИС АЦП и ЦАП, не обладающих рекордными параметрами.

В итоге микроэлектронной промышленностью в мире в настоящее время выпускаются БИС преобразователей с разрядностью от 6 до 20 (иногда до 24) и временем преобразования от единиц наносекунд до единиц миллисекунд, с кодовым и частотным выходами, позволяющие осуществлять их легкую стыковку с вычислительными средствами.

Следует отметить, что изготовление АЦП и ЦАП весьма недешевое мероприятие, поскольку создание образцовых шкал в них требует применения очень дорогого оборудования лазерной подгонки. Поэтому этот класс микросхем, обладающих большим количеством разрядов, выпускает ограниченное число предприятий, обладающих солидным технологическим потенциалом.

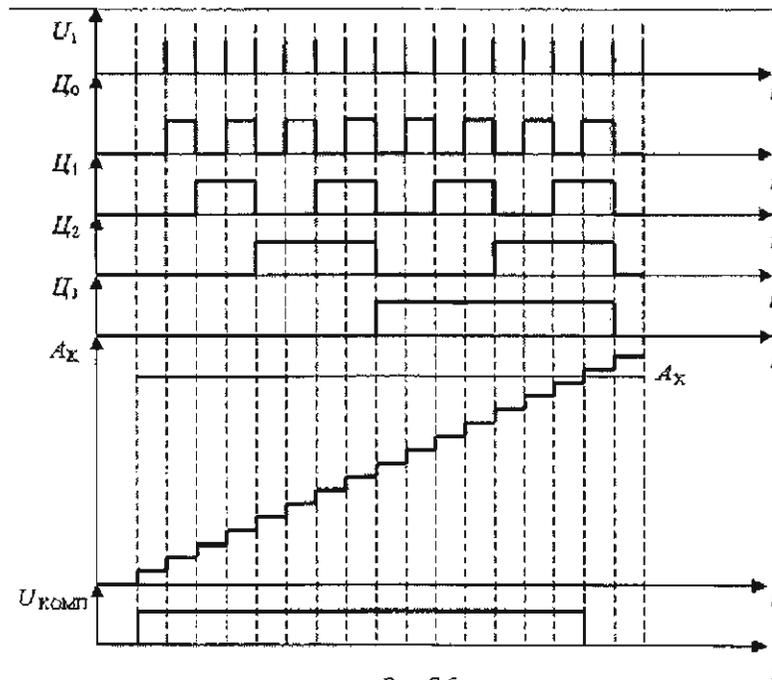


Рис. 7.5

В ней между счетчиком и ЦАП включается регистр последовательных приближений (РПП), манипулирующий двоичными разрядами различного веса. Диаграммы, поясняющие процесс уравнивания, изображены на рис. 7.6. Иногда такие приборы называют АЦП последовательных приближений.

Цикл такого АЦП начинается с появления в старшем разряде РПП лог. «1» (все остальные сигналы – лог. «0»), в результате чего на выходе ЦАП устанавливается  $A_K = 1/2 A_{Kmax}$ . (Напомним, что  $A_K$  – верхнее значение диапазона измерения.) Компаратор  $K$  сравнивает  $A_X$  и  $A_K$ , и, поскольку в рассматриваемом случае  $A_X > A_K$ , он остается в прежнем состоянии (лог. «0»). Его выходной сигнал предписывает РПП сохранить в старшем разряде лог. «1» и выставить на следующем (в порядке уменьшения веса) разряде лог. «1». При этом  $A_K = 1/2 A_{Kmax} + 1/4 A_{Kmax}$ . Поскольку и сейчас  $A_X > A_K$ , РПП выставляет в следующем раз-

Таблица 7.1

Микросхемы параллельных АЦП

Фирма	Модель	Разрядность, бит	$t_{пр}$ , мкс	$f_{пр}$ , МГц	$E_{пит}$ , В
Analog Devices	AD770	8	–	200	+5; –5,2
	AD9020	10	–	60	± 5
	AD9060	10	–	75	± 5
Siemens	TDC1001J	8	–	1	±(0,5...7)
	TDC1007J	8	–	30	±(0,5...7)
	TDC1014J	6	–	30	±(0,5...7)
Siemens	SDA5010	6	0,01	–	±4,5; –5,7
Delta (Литва)	1107ПВ1	6	≤0,1	20	–6,6
	1107ПВ2	8	≤0,1	–	+5; –6
	1107ПВ3	6	≤0,02	100	+5; –5,2
	1107ПВ4	8	0,03	100	±6
	1107ПВ5	6	0,02	100	±5

В табл. 7.1 приведены параметры БИС, реализующих функции параллельного АЦ-преобразования. БИС этого класса выпускает в мире относительно небольшое количество предприятий, поскольку степень интеграции элементов в них весьма высока. К лучшим в этом классе можно отнести изделия фирмы *Analog Devices*. Несколько уступают им изделия фирм *Siemens* (Германия) и «Дельта» (Литва).

Последовательные АЦП

АЦП данного класса гораздо многочисленнее и представляют собой структуры, осуществляющие: а) амплитудно-кодовые; б) амплитудно-временные; в) амплитудно-частотные преобразования. Среди них можно выделить две большие группы приборов, в первой из которых характерной является операция уравнивания измеряемой величины  $A_X$  компенсирующей величиной  $A_K$  со сравнением их с помощью компаратора.

Рассмотрим несколько структур, принадлежащих первой группе.

Первая из структур (рис. 7.2) осуществляет промежуточное преобразование  $A_X$  в пропорциональный ей временной интервал  $T_X$  с последующим его квантованием периодами  $t_0$  импульсов стабильной частоты с генератора  $\Gamma$ .

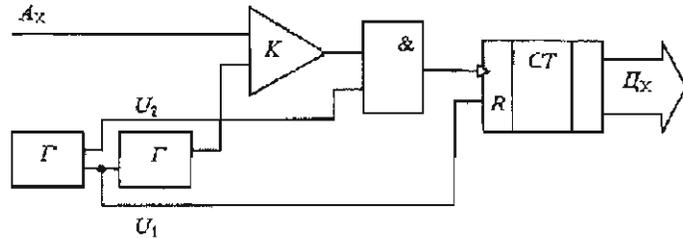


Рис. 7.2

Поясняют работу данного прибора временные диаграммы, изображенные на рис. 7.3. Здесь  $U_1$  – импульс запуска, разрешающий формирование пилообразного напряжения, выполняющего роль  $A_X$ . Нарастание  $A_K$  происходит до верхнего значения измеряемого напряжения  $A_{Xmax}$ , после чего  $A_K$  по приходу следующего импульса  $U_1$  (во время его действия) быстро следает до нуля, а после его окончания опять линейно нарастает.

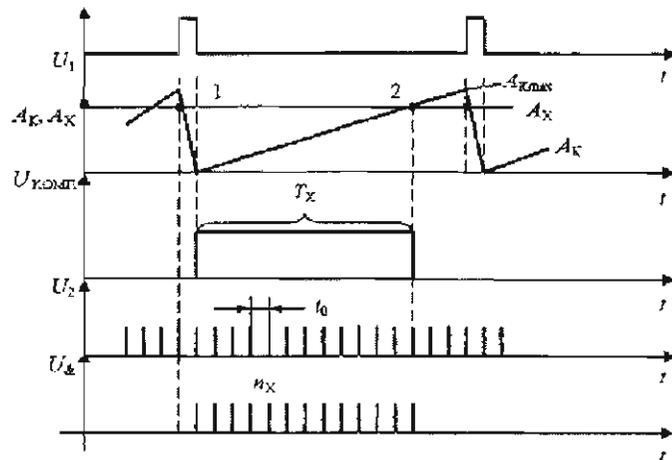


Рис. 7.3

Компаратор  $K$  фиксирует при спаде  $A_K$  момент, когда  $A_K$  становится меньше  $A_X$  (точка 1), то есть практически момент начала формирования пилообразного напряжения и момент превышения  $A_K$  над  $A_X$ . В результате  $A_X$  преобразуется в  $T_X$ , который заполняется импульсами  $U_2$  в количестве  $n_X$  с помощью схемы совпадения. Счетчик  $CT$  подсчитывает эту пачку импульсов и формирует цифровой код  $Ц_X$  разрядностью  $N = \log_2 n$ .

Описанная структура обладает *низким быстродействием*, поэтому в виде ИС не реализуется. Однако в ряде случаев, когда быстродействие не является основным критерием и целесообразно использовать промежуточные результаты измерения (пилообразное напряжение,  $T_X$ ,  $n_X$ ), она находит применение.

Следующая структура (рис. 7.4) сходна с первой, с той разницей, что линейно нарастающий выходной код счетчика  $CT$  используется для формирования ступенчато изменяющегося напряжения  $A_K$ . Преобразование  $A_X - Ц_X$  в ней заканчивается в момент превышения  $A_X$  над  $A_K$  (рис. 7.5). Эта структура, обладая теми же недостатками, что и предыдущая, является промежуточной в эволюции последовательных АЦП.

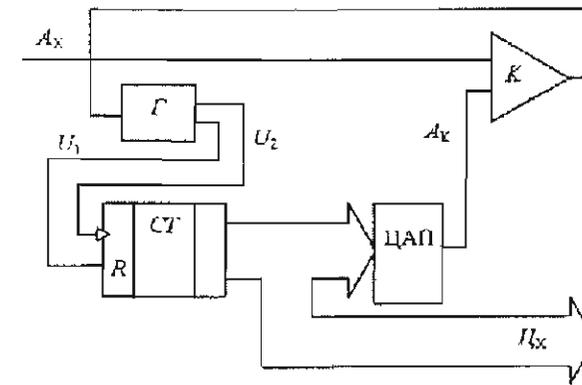


Рис. 7.4

Следующей ступенью в развитии АЦП данного класса с цепью обратной связи является структура с более сложным алгоритмом формирования  $A_K$ , в основе которого лежит *метод последовательных приближений*.

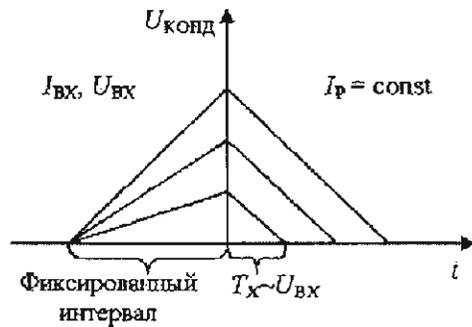


Рис. 7.7

интегратор. Компаратор выделяет временной интервал  $T_x$ , пропорциональный  $U_{вх}$ , который заполняется с помощью схемы И импульсами с периодом  $T_0$ . Эта пачка импульсов подсчитывается счетчиком СТ.

Данный метод позволяет получить высокую точность без предъявления чрезмерно высоких требований к стабильности компонентов. В частности, здесь нет надобности иметь высокостабильный конденсатор, поскольку скорость изменения его напряжения, как на стадии заряда, так и разряда обратно пропорциональна емкости  $C$ . К стабильности тактовой частоты также не предъявляются высокие требования, поскольку фиксированный интервал интегрирования (на первой стадии) получается путем деления тактовой серии, которая используется затем при счете.

Двухтактное интегрирование широко применяется в прецизионных цифровых мультиметрах, а также в преобразователях с разрешением от 10 до 18 бит. В некритичных к быстродействию применениях этот способ обеспечивает хорошие характеристики точности и стабильности при низкой стоимости и обладает высокой помехоустойчивостью к сетевым наводкам и прочим помехам.

Метод двойного интегрирования реализован в БИС *K572ПВ2* и *K572ПВ5*. Основное их отличие состоит в том, что первая из них управляет 3, 5-разрядным семисегментным светодиодным индикатором, вторая – жидкокристаллическим.

Трех-, пятиразрядный индикатор имеет в наибольшем показании число 1999. Погрешность преобразования для них – не более одной единицы счета.

код, пропорциональный входному уровню является выходным цифровым сигналом. Структурная схема устройства, реализующего данный алгоритм, приведена на рис. 7.8. Здесь емкость  $C$  сначала заряжается входным током, затем разряжается через ин-

ряде лог. «1» (такт  $T_3$ ). Этот процесс продолжается до тех пор, пока  $A_K$  не превысит  $A_X$ , после чего компаратор  $K$  указывает РПП снять лог. «1» в разряде, в котором она только что появилась.  $A_K$  опять становится меньше  $A_X$  и РПП выставляет в следующем разряде лог. «1», то есть  $A_K = 1/2 A_{Kmax} + 1/4 A_{Kmax} + \dots + 1/n A_{Kmax} + 1/4n A_{Kmax}$ , где  $n = 2^N$ .

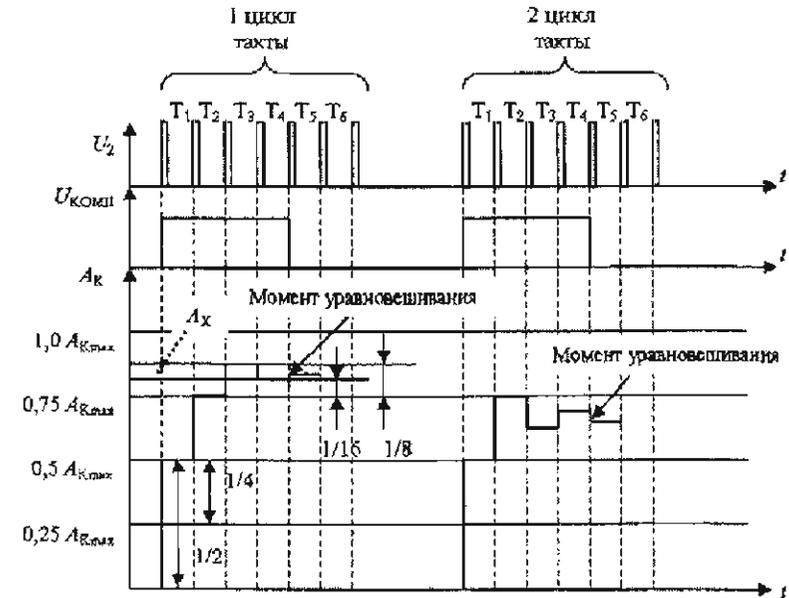


Рис. 7.6

Процесс уравнивания  $A_X$  продолжается до тех пор, пока РПП не подберет  $N$ -разрядный код, при котором выполняется соотношение:  $|A_X - A_K| \leq g$ , то есть компаратором, по сути, является устройство, выходное состояние которого (лог. «1» или лог. «0») определяется величиной  $|A_X - A_K|$ . Число тактов в цикле преобразования равно разрядности  $N$  АЦП.

Алгоритмы, в соответствии с которыми происходит процесс АЦП-преобразования в структуре, изображенной на рис. 7.4, имеют вполне определенные аналогии с манипуляциями продвижка при взвешивании. Это лишний раз показывает достоинства структуры с РПП.

Действительно, никто не взвешивает вес, например, 1 кг 125 г с помощью 1 г гирек – слишком долго уравнивать. А вот манипулируя гирями разного веса (как и разрядами на входе ЦАП) можно достаточно быстро этот вес определить. Компаратор  $K$  выполняет здесь роль стрелки весов. Данный алгоритм оказался весьма удачным в плане разрешения компромисса между быстродействием и аппаратными затратами. Поэтому такие устройства представлены многочисленной группой ИС, перечень и параметры лучших из которых приведены в табл. 7.2. ИС АЦП этого типа выпускает достаточно большое количество предприятий, первенство среди которых по номенклатуре и параметрам принадлежит фирмам *Analog Devices*, *Siemens*, *Maxim*.

Таблица 7.2  
Микросхемы АЦП последовательных приближений

Фирма	Модель	Разрядность, бит	Время преобразования, мкс	$E_{\text{гит}}$ , В
<i>Analog Devices</i>	<i>AD571</i>	10	30	+5; ±15
	<i>AD7875L</i>	12	9	±5
	<i>AD678K</i>	12	5	+5; ±12
	<i>AD7882</i>	16	2,5	±10
<i>Intersil</i>	<i>IC17115</i>	14	10	±5
<i>Burr-Brown</i>	<i>ADC76</i>	16	1,5	±10
<i>Siemens</i>	<i>SDA11812</i>	12	6	±5
	<i>SDA0812</i>	12	3	+5
<i>Sigma</i>	<i>K1108IB1</i>	10	0,9	+5; -5,2
	<i>K1108IB3</i>	8	7,5	-5
	<i>K1108IB2</i>	12	2,0	+5; -5,2
<i>MN</i>	<i>MN5420</i>	20	5	+5; ±15

Вторая группа последовательных АЦП реализует ряд методов, общей особенностью которых является использование конденсатора для отслеживания отношения уровней входного сигнала и эталонного. Все эти методы основаны на усреднении (интегрировании) входного сигнала за фиксированный интервал времени, относящийся к одному измерению. Данная группа АЦП имеет два важных преимущества.

1. Поскольку входной и эталонный сигналы подаются на один и тот же конденсатор, к его собственной стабильности и точности не предъявляется высоких требований. К компаратору также предъявляются пониженные требования.

2. Выходной сигнал преобразователя пропорционален среднему значению входного сигнала на фиксированном интервале интегрирования. Выбирая время интегрирования кратным периоду сетевого напряжения, можно обеспечить нечувствительность преобразователя к сетевым наводкам с частотой самой сети и ее гармоникам.

Недостатками этой группы методов является более низкое, по сравнению с методом последовательных приближений, быстродействие.

Наиболее распространенными методами, реализованными в структурах данной группы, являются:

- преобразование напряжения в частоту;
- двойное интегрирование.

В устройствах, преобразующих напряжение в частоту, входное аналоговое напряжение преобразуется в последовательность импульсов, частота которой пропорциональна входному уровню. Сначала конденсатор заряжается током, пропорциональным входному сигналу, а затем разряжается – после того, как линейно нарастающее напряжение достигнет заданного порога. Такие устройства применяются, когда нужен частотный выход или необходимо передавать сигнал по кабелю. В соответствии с этим методом реализована ИС *K1108ПП1*, имеющая следующие основные параметры:

- частотный диапазон – 5 Гц...10 кГц;
- погрешность линейности в данном диапазоне – 0,01 %;
- частота генерируемых импульсов – 0,5...500 Гц.

Метод двойного интегрирования заключается в следующем (рис. 7.7): конденсатор в течение фиксированного интервала времени заряжается током, точно пропорциональным входному сигналу, после чего он разряжается постоянным током до тех пор, пока напряжение на нем снова не станет равным нулю. Время разряда конденсатора пропорционально значению входного сигнала и используется для подсчета тактовых импульсов фиксированной частоты при помощи счетчика. Полученный

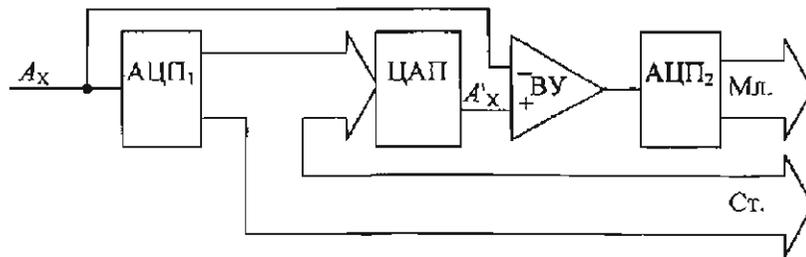


Рис. 7.9

Первый АЦП параллельного типа, имеющий, например, 4 разряда, производит преобразование грубо: с точностью до 1/16 значения полной шкалы. Затем его выходной код подается на ЦАП, где происходит его преобразование в аналоговое напряжение  $A'x$ , принимающее одно из 16 значений, соответствующих 16 состояниям кода АЦП<sub>1</sub>. Значение  $A'x$  всегда меньше  $Ax$  и отличается от него на величину  $\Delta Ax$ . С помощью вычитающего усилителя ВУ определяется значение  $\Delta Ax$ , которое подается на параллельное АЦП<sub>2</sub>. В нем с меньшей ценой деления (например, 1/16 от значения кванта АЦП<sub>1</sub>) производится преобразование данного остатка  $\Delta Ax$  в цифровой код. В результате на выходе устройства получаем 8-разрядный код. *Аналогом этого метода может служить, например, измерение длины отрезка двумя линейками, одна из которых имеет цену деления 1 см, а вторая – 1 мм. Используя первую, определяем длину с точностью до сантиметра, а второй измеряем остаток. Выигрыш в данной структуре по аппаратным затратам по сравнению с параллельным 8-разрядным АЦП нетрудно определить. АЦП<sub>1</sub> и АЦП<sub>2</sub> имеют по 16 резисторов в делительной цепочке, по 16 компараторов и по шифратору  $16 \times 4$ . В параллельном же АЦП той же разрядности необходимо использовать 256 резисторов и компараторов и более сложный шифратор  $256 \times 8$ .*

Данное направление в технике АЦП признается одним из самых перспективных, вытесняя устройства последовательного приближения и параллельного преобразования. Рассмотрим структурную схему гибридного прибора *AD9014* (рис. 7.10) фирмы *Analog Devices*, характеристики которого являлись лучшими на конец 90-х гг. (табл. 7.4).

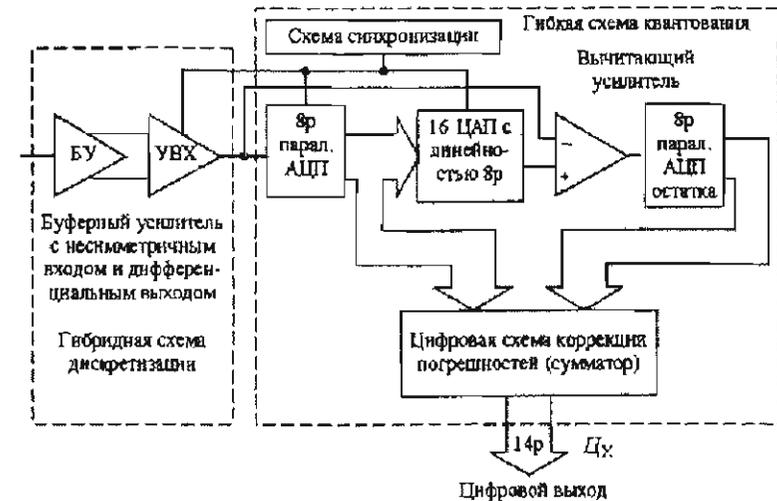


Рис. 7.10

Данный прибор, как и все в этом классе, выполняется гибридным и состоит из двух БИС, размещенных на многослойной печатной плате. На одной из БИС собрана схема дискретизации, на второй – схема квантования.

Таблица 7.4  
Микросхемы АЦП параллельно-последовательного типа

Фирма	Модель	Разрядность, бит	Время преобразования, нс	Напряжение питания, В
Analog Devices	AD9040	10	25	+5; -5,2
	AD9022	12	50	+5; -5,2
	AD9014	14	100	+5; -5,2
Burr-Brown	ADC4344	16	1000	±5
Datel	ADS930	16	2000	±5; ±15
Comlinear	CLC936AC	12	50	+5; -5,2

Входной усилитель, выполняющий функции буфера с несимметричным входом и дифференциальным выходом, подключен к дифференциальному входу оригинальной схемы устройства выборки-хранения (УВХ), которая формирует отсчеты сигнала на двух конденсаторах, размещенных в цепях между каждым входом и выходом. Такое построение снижает уровень четных гармоник в цифровом выходном сигнале. АЦ-преобразование производится в соответствии с описанным выше алгоритмом. Некоторые фирмы реализуют этот алгоритм в три этапа. Иногда используют один параллельный АЦП и в первом, и во втором этапе.

### 7.2. СТРУКТУРНЫЕ РЕШЕНИЯ И НОМЕНКЛАТУРА БИС ЦАП

Как отмечалось выше, операция ЦА-преобразования обратна операции АЦ-преобразования и заключается в суммировании эталонных величин, сформированных из опорного сигнала и соответствующих разрядам входного кода. Применяются в основном два метода ЦА-преобразования:

- суммирование единичных эталонных величин;
- суммирование эталонных величин, веса которых соответствуют весам разрядов входного кода.

В первом методе используется только одна эталонная величина весом в один квант. Во втором методе применяются эталонные величины с весами, зависящими от номера разряда, и в суммировании участвуют только те эталонные величины, для которых в соответствующем разряде входного кода имеется единица. Работа таких ЦАП описывается выражением:

$$A_x = E_{оп}(a_1 2^{-1} + a_2 2^{-2} + \dots + a_N 2^{-N}),$$

где  $A_x$  – выходная аналоговая величина;  $a_i$  – коэффициенты соответствующих двоичных разрядов, которые принимают дискретные значения (1 или 0);  $E_{оп}$  – опорный сигнал;  $N$  – число разрядов.

В наибольшей степени в интегральном исполнении распространены структуры ЦАП, где в качестве эталонных величин используются токи с разными весами. Наиболее простой структурой ЦАП является схема, изображенная на рис. 7.11.

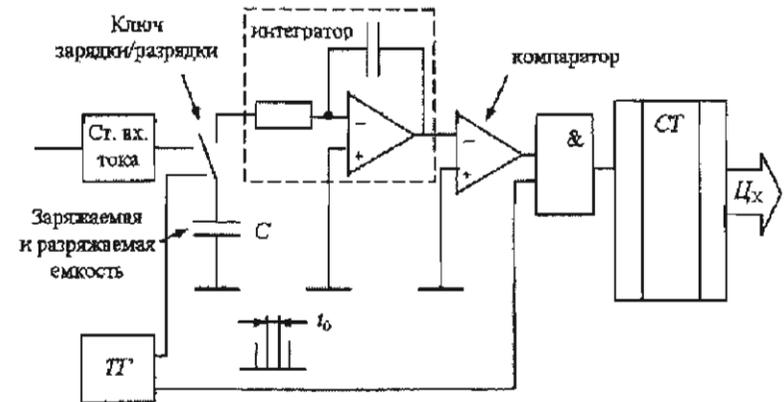


Рис. 7.8

Параметры БИС интегрирующих АЦП приведены в табл. 7.3.

Таблица 7.3

Микросхемы интегрирующих АЦП

Фирма	Модель	Разрядность, бит	Время преобразования, мс	Напряжение питания, В
Analog Devices	AD1170	18	1,0	+5; ±15
	AD1175	22	50	+5; ±15
ОАО «Санфир»	572ПВ9	3,5 десят. разряда	–	±5
	572ПВ13	4,5 десят. разряда	–	±5

### Параллельно-последовательные АЦП

Стремление разработчиков АЦП успешно решить компромисс между точностью и быстродействием привело к появлению устройств параллельно-последовательного типа. В них процесс преобразования проходит в два и более этапа. В каждом из этих этапов происходит кодирование с небольшим (4...6) числом разрядов, сначала грубо, а затем все точнее. На рис. 7.9 приведена упрощенная структура АЦП, реализующая этот принцип в два этапа.

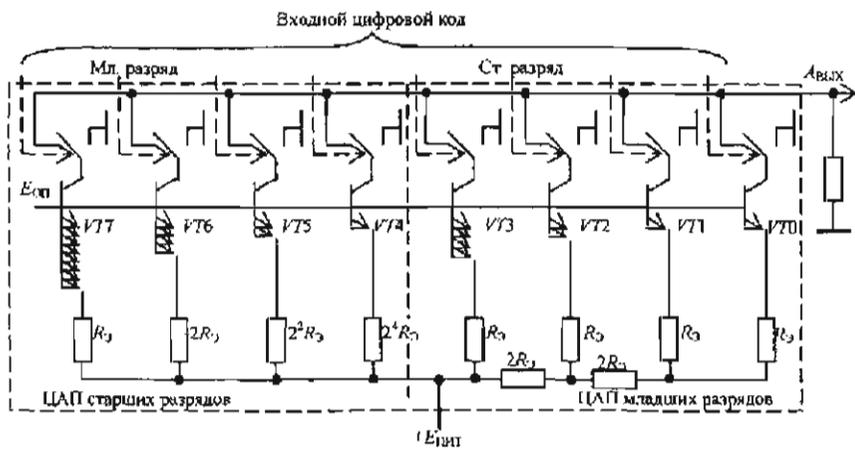


Рис. 7.14

Большинство микросхем ЦАП имеет токовый выход и требует применения внешнего ОУ, преобразующего ток в напряжение. В целом ряде интегральных ЦАП, ориентированных на применение в средствах вычислительной техники, применены буферные устройства, позволяющие осуществлять легкую стыковку ЦАП и других устройств. В функциональный ряд БИС ЦАП входят также многоканальные устройства. Так, например, в корпусе БИС AD7568 помещено восемь двенадцатиразрядных ЦАП (табл. 7.5).

Таблица 7.5

Микросхемы ЦАП

Фирма	Модель	Разрядность, бит	Время установления, мкс	Напряжение питания, В
Analog Devices	AD7537	12	1,5	+15
	AD7568	12	0,5	+5
	AD7534	14	1,5	+5
	AD569	16	6,0	±12
Precision Monolithic	PCM54	16	0,35	±5; ±15
Burr-Brown	DAC7800	12	0,8	+5
	DAC729	18	0,3	+5; -15

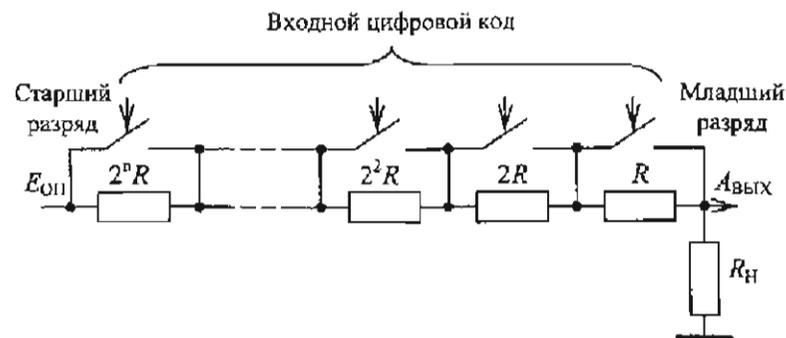


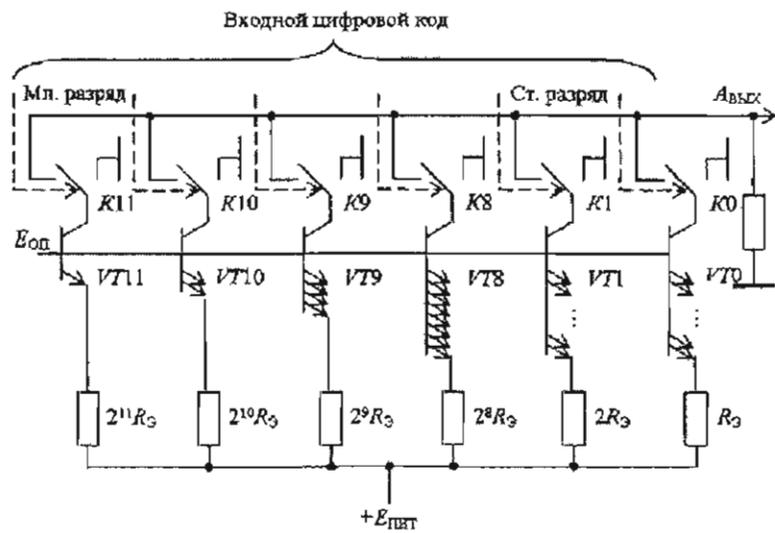
Рис. 7.11

Величина тока, протекающего по резистивной цепочке, изменяется ступенчато в соответствии с весами двоичных разрядов.

Недостатком данной структуры является значительный диапазон сопротивлений, что ухудшает возможность микросхемотехнической реализации этого устройства. Кроме того, диапазон изменения тока потребления от источника опорного напряжения также весьма значителен. В результате усилий разработчиков в части устранения данных недостатков было реализовано несколько вариантов ЦАП, обладающих оптимальной совокупностью функциональных параметров и хорошей технологической воспроизводимостью:

1) ЦАП со взвешенными резисторами в цепях многоэмиттерных транзисторов – источников тока (рис. 7.12). Структура характеризуется малой рассеиваемой мощностью, независимостью токов разрядов друг от друга, большим диапазоном сопротивлений резисторов и большим значением напряжения смещения нуля на выходе.

2) ЦАП с лестничной матрицей резисторов R-2R в цепях транзисторов – источников тока (рис. 7.13). Эта структура характеризуется наименьшим значением суммарного сопротивления и его диапазона, однако при подгонке тока одного из разрядов изменяются токи соседних, что создает неудобства при настройке прибора.

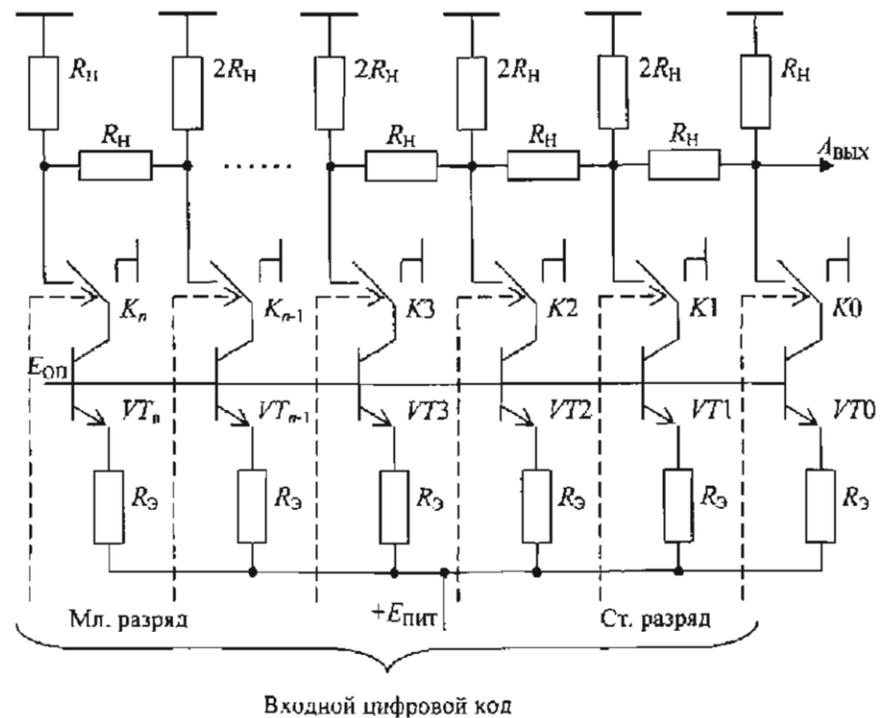


$K0...K11$  – разрядные ключи;  
 $VT0...VT11$  – разрядные многоэмиттерные транзисторы;  
 $R3...2^{11}R3$  – двоично-взвешенные резисторы

Рис. 7.12

3) ЦАП со взвешенными резисторами и матрицей  $R-2R$  в цепях эмиттеров многоэмиттерных транзисторов (рис. 7.14). В этой структуре сочетаются достоинства первых двух вариантов ЦАП. В частности, в ЦАП  $K594ПА1$  удалось снизить отношение  $R_{\min}/R_{\max}$  с  $1/2048$  до  $1/8$ .

Практически все БИС ЦАП конструктивно выполняются в виде двух кристаллов, помещенных в один корпус. На одном кристалле обычно размещена резисторная матрица, выполненная по тонкопленочной технологии, на втором – остальная часть схемы с ключами, реализованная по полупроводниковой технологии. В процессе изготовления резисторы в матрице подвергаются лазерной подгонке для обеспечения требуемой линейности передаточной характеристики.



$VT0-VT_n$  – транзисторы – источники тока

Рис. 7.13

В соответствии с первым вариантом реализуются отечественные ЦАП  $KM1118ПА1$ ,  $KP1118ПА2$ ,  $K1118ПА3$ . Интегральные микросхемы  $K572ПА1$ ,  $K572ПА2$ ,  $K1108ПА1$  выполняются по второму варианту. В БИС  $K594ПА1$  реализован третий вариант.

Все эти варианты в достаточной степени распространены, поскольку кроме особенностей технологической реализации различаются быстродействием и потребляемой мощностью. Номенклатура и параметры ИС ЦАП общего применения приведены в табл. 7.5.

Большое применение ЦАП находят в *генераторах сигналов*. Структурная схема этих устройств обычно выглядит следующим образом (рис. 7.16).

Если выходной сигнал содержит линейно-изменяющиеся участки (пилообразное или треугольное напряжение), то ПЗУ отсутствует, а счетчик выполняется либо суммирующим, либо реверсивным. ПЗУ в данной структуре предназначено для преобразования линейно-изменяющегося кода в нелинейный. В результате такие устройства – в зависимости от прошивки ПЗУ – могут формировать различные сигналы – изменяющиеся по законам тригонометрических, степенных, логарифмических и других функций.

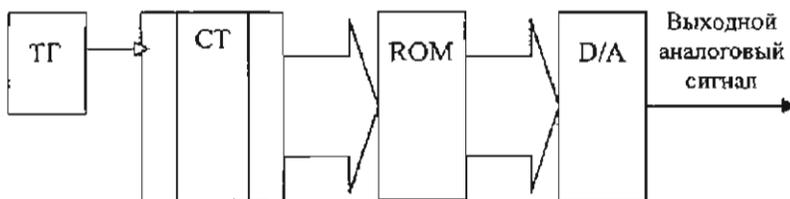


Рис. 7.16

Традиционной и хорошо изученной областью применения ЦАП являются АЦП, в которых ЦАП осуществляют промежуточные преобразования. Выше (в п. 7.1) были рассмотрены структуры АЦП, в которых ЦАП является одним из основных узлов.

### 7.3. ОСНОВНЫЕ ПАРАМЕТРЫ АЦП И ЦАП И ТРЕБОВАНИЯ К НИМ

К наиболее важным параметрам микросхем данного класса можно отнести **разрядность** и **быстродействие**. Для АЦП разрядность однозначно определяет разрешающую способность; для ЦАП – точность установления выходного напряжения в диапазоне его изменения.

Особенностью АЦП и ЦАП является наличие у них параметров, присущих как аналоговым, так и цифровым устройствам. К ним, в первую очередь, можно отнести *точностные параметры*. При этом такая «цифровая» характеристика, как разрядность  $N$  однозначно определяет величину кванта  $q$ :

$$q = \frac{1}{2^N},$$

и, соответственно, величину *погрешности квантования*  $\Delta_k$ , носящей характер случайной величины с равномерным законом распределения от  $-q/2$  до  $+q/2$  и среднеквадратическим отклонением (СКО)  $\delta_k = 0,29q$ . Эта погрешность носит характер методической и не зависит от конкретного построения структуры АЦП, а определяется только числом квантов в полной шкале, то есть разрядностью АЦП.

Устройствам, производящим ЦА-преобразование, данная погрешность не присуща, так как округление в них отсутствует. Другим, «аналоговым», параметром устройств этой группы является *инструментальная погрешность*, – погрешность самого средства измерения. Она включает в себя достаточно большое число составляющих, учет которых в каждом конкретном случае является сложной задачей, поэтому в данной работе излагается лишь общий подход к данной проблеме. В общем случае инструментальные погрешности делятся на *статические* и *динамические*.

*Статические погрешности* проявляются в отклонении реальной передаточной характеристики от идеальной и обусловлены многими причинами, к основным из которых можно отнести:

- неточность установления опорного напряжения или его нестабильность;
- неточность изготовления элементов, предназначенных для создания образцовой шкалы (в АЦП) или весовых токов (в ЦАП);
- неточность реализации функций сравнения (в АЦП) или преобразования ток – напряжение (в ЦАП), появляющаяся из-за компаратора или усилителя, конечного значения их коэффициентов усиления, наличия их входных токов.

Компоненты статической составляющей в свою очередь могут быть систематическими, то есть присутствующими постоянно, и случайными. В общем случае эти компоненты представляют собой смещенную случайную величину. Систематические составляющие должны быть учтены или скомпенсированы, например, с помощью схемных решений.

Относительно легко поддающимися компенсации следует считать погрешности из-за источника опорного напряжения и компаратора, по крайней мере, для каждого конкретного прибора.

Гораздо труднее устраняются погрешности из-за неточности формирования образцовой шкалы и весовых токов вследствие большого количества компонентов, участвующих в этих операциях. Эти погрешности, если это удастся, можно перевести в результате правильных статистических исследований (особенно на этапе проектирования и производства) в разряд систематических. В многоразрядных приборах (16 разрядов и более), когда это экономически оправдано, эти систематические погрешности можно компенсировать с помощью средств вычислительной техники.

Если это не удается или нецелесообразно, выявляют законы распределения случайных величин, степень их корреляции, а затем учитывают их через СКО. Нужно отметить, что в общем случае композиция стремится к нормальному закону распределения.

В конечном итоге, устранив или учтя через СКО все составляющие, можно прийти к выводу: пригодна та или иная структура для решения конкретной задачи. Обычно нормальной считается ситуация, когда исключены систематические составляющие и выдерживается следующее соотношение между СКО суммарной инструментальной погрешности  $\sigma_N$  и СКО погрешности квантования  $\sigma_K$  (7...8)  $\sigma_N \leq \sigma_K$ .

Рассмотрим более детально, как влияют различные составляющие инструментальной погрешности АЦП и ЦАП на их передаточную характеристику.

В справочных данных обычно приводятся следующие характеристики инструментальной погрешности АЦП и ЦАП (рис. 7.17).

Интенсивное развитие техники *цифровой звукозаписи* потребовало разработку ЦАП специального назначения — с уменьшенными требованиями по линейности передаточной характеристики, но с высокими требованиями к разрешению. В основном это продукция фирм *Analog Devices* и *Burr-Brown* (табл. 7.5), выпускающих 18...20-разрядные приборы. В них используются так называемые методы *MASH* и дельта-сигма преобразования, когда анализируется предыдущее кодовое состояние и из него путем прибавления или вычитания 1...2 разрядов получается текущее состояние. К особенностям БИС ЦАП можно отнести также следующее.

Большинство ЦАП выполняется *умножающими*, когда каким-либо способом изменяется опорное напряжение  $E_{оп}$  (например, за счет использования второго ЦАП) и результат преобразования выглядит в виде произведения  $E_{оп}$  на  $A_{вых}$ . Кроме того, БИС ЦАП формируют разнополярное выходное напряжение за счет использования разнополярных источников питания.

Быстродействие их в этом случае снижается, но улучшение функциональных возможностей оказывается преобладающим фактором. Приведем несколько примеров практического использования ЦАП. Разработчики электронной аппаратуры в целях минимизации аппаратных затрат совмещают, как правило, функцию ЦА-преобразования с другими функциями. Наиболее массовое применение ЦАП — в устройствах, управляемых с помощью вычислительной аппаратуры. На рис. 7.15 приведена структурная схема устройства для вывода информации с ЭВМ.

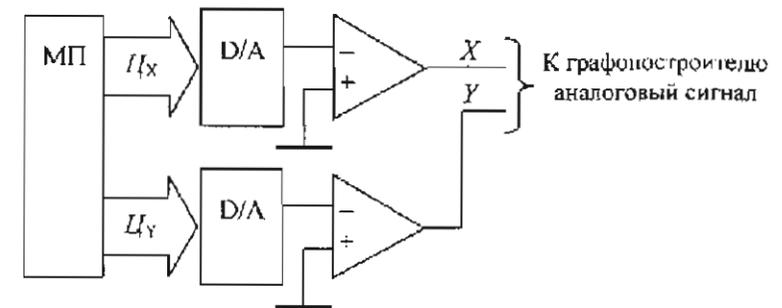


Рис. 7.15

## ЗАКЛЮЧЕНИЕ

Эволюция микроселектронной элементной базы происходит настолько стремительно, что прогнозировать ее параметры и возможности на достаточно длительный срок – заведомо неблагодарное занятие. Поэтому ограничимся лишь некоторыми оценками тенденций развития микросхем.

В области относительно несложных цифровых компонентов можно предполагать дальнейшее вытеснение биполярных элементов полевыми, что объясняется несомненными преимуществами последних. Совершенствование параметров полевых компонентов имеет целью повышение их быстродействия и снижение стоимости БИС.

Удешевление этих компонентов особенно актуально при реализации КМОП СБИС статических ОЗУ. Это позволит их использовать в качестве основной оперативной памяти персональных компьютеров, что весьма благоприятно скажется на общей производительности вычислительных структур в целом.

Что касается СБИС центральных процессоров, то можно ожидать при условии внедрения 64-разрядного программного обеспечения удешевления 64-разрядных процессоров вследствие значительного увеличения спроса на них. Тактовые частоты данных элементов могут в ближайшее время достичь значений 6–7 ГГц при общей интеграции процессора до 700...800 млн транзисторов.

Совершенствование СБИС микроконтроллеров происходит по пути увеличения информационной емкости внутренних блоков ОЗУ и ПЗУ, размеры которых в недорогих массовых 8-разрядных устройствах могут достичь в ближайшее время 32 Кбайт и 1 Мбайт соответственно. Это позволит резко расширить спектр решаемых задач без использования дополнительных микросхем памяти, что, в свою очередь, весьма благотворно скажется на стоимостных и массогабаритных показателях систем микропроцессорного управления.

Микросхемы АЦП и ЦАП становятся все более интеллектуализированными. В частности, ожидается появление 20-разрядных параллельно-последовательных АЦП с внутренним контроллером, осуществляющим стыковку шкал каскадов структуры.

1. *Дифференциальная нелинейность* ( $\delta_{DL}$ ), указывается обычно в процентах и характеризует флуктуацию реальной ПХ около идеальной.

2. *Абсолютная погрешность преобразования* в конечной точке шкалы ( $\delta_{FS}$ ), указывается в единицах младшего разряда, характеризует уход реальной ПХ от идеальной в конце шкалы.

3. *Нелинейность* ( $\delta_L$ ), указывается в единицах младшего разряда; характеризует максимальный уход ПХ от идеальной; приводится только для АЦП.

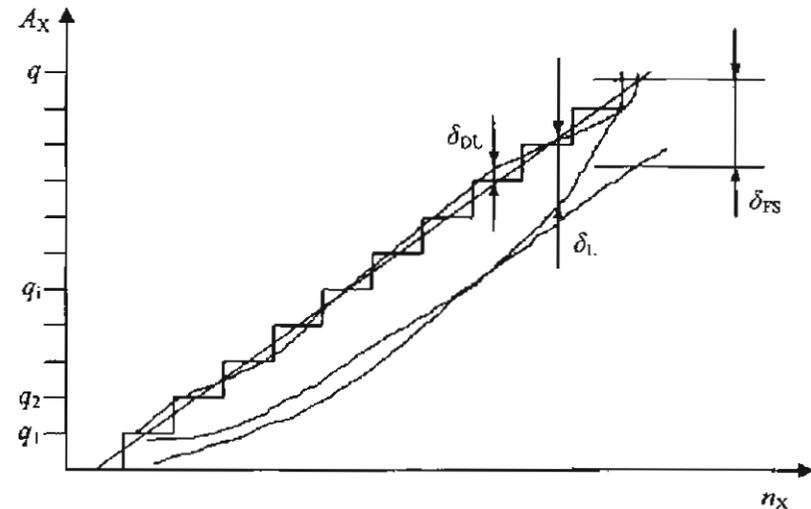


Рис. 7.17

Оценив совокупность данных параметров при выборе конкретного прибора, можно установить его пригодность для решения конкретной задачи.

*Динамическая инструментальная погрешность АЦП и ЦАП* характерна для приборов, работающих с быстротекущими процессами, и проявляется из-за инерционности прибора. Поэтому правильный выбор структуры с точки зрения соответствия ее быстродействия и частотного спектра сигнала позволяет в значительной степени уменьшить или устранить динамическую составляющую.

Считывание информации с АЦП и ЦАП должно производиться после окончания всех переходных процессов в них. Поэтому оценка быстродействия требует индивидуального подхода при рассмотрении структур АЦП и ЦАП, особенностей их работы, характера входных и выходных сигналов.

К основным *динамическим* параметрам АЦП относят обычно время или максимальную частоту преобразования.

Время преобразования  $t_{\text{пр}}$  – интервал от момента начала изменения сигнала на входе АЦП до появления на выходе соответствующего устойчивого кода.

Максимальная частота преобразования – частота дискретизации входного сигнала, при которой выбранный параметр АЦП не выходит за заданные пределы. Учет этих параметров в достаточной степени позволяет избежать появления динамической погрешности, если сигнал на входе за время преобразования не меняется (например, для АЦП с использованием устройств выборки / хранения – УВХ). Если входной сигнал меняется в этом интервале, то необходимо учитывать такой параметр, как апертурная неопределенность – между значением выборки и временем, к которому оно относится. В зависимости от степени монотонности входного сигнала апертурная неопределенность может вызывать появление дифференциальной или интегральной нелинейности дополнительно к статической составляющей.

К основным *динамическим* параметрам ЦАП относят время установления выходного сигнала. Это интервал от момента изменения кода на входах ЦАП до момента, когда значение выходной аналоговой величины отличается от установившегося на заданную величину. В большинстве случаев приводится время установления при скачкообразном изменении входного кода от минимального до максимального значения или наоборот; при этом выходная аналоговая величина отличается от установившегося значения не более, чем на  $0,5q$  в одну или другую сторону.

Такой жесткий подход позволяет застраховать пользователей ЦАП от динамических погрешностей из-за неокончившихся переходных процессов.

В целом, подводя итог рассмотрению АЦ- и ЦА-преобразователей, можно сделать следующие выводы:

- номенклатура подобных устройств в связи с большим разнообразием решаемых задач весьма обширна;
- устройства данного класса являются весьма важными и динамично развивающимися компонентами электронных систем, поскольку скорость и точность оцифровки сигналов должна соответствовать производительности вычислительных средств;
- преобразователи с высокой абсолютной точностью (на уровне 18...24 двоичных разрядов) реализуются небольшим количеством предприятий с высоким научным и технологическим потенциалом.

Другое направление в классе АЦ-устройств – создание цифровых процессоров сигналов – аккумулирует в себе новейшие достижения техники АЦП и микроконтроллеров. Скоростные алгоритмы решения задач передачи и обработки информации и изучения свойств различных объектов, реализованные в недорогой элементной базе, позволят резко увеличить интеллектуальные возможности электронных средств.

Совершенствование аналоговой микроселектронной базы будет происходить по пути улучшения параметров операционных усилителей, компараторов, стабилизаторов, а также разработки новых компонентов, в особенности при создании силовых интеллектуальных устройств и датчиков с кодовыми выходами и нормализованным сигналом.

Учебное издание

**ГАЙТАН** Владимир Витальевич  
**ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ**

Учебное пособие

Редактор Д. В. Царёва

Подписано в печать 26.04.2006. Формат 60 × 84/16.

Бумага офсетная. Печать трафаретная.

Усл. печ. л. 12,09. Уч.-изд. л. 11,60. Тираж 200 экз.

Ульяновский государственный технический университет  
432027, Ульяновск, ул. Северный Венец, 32

Типография УлГТУ. 432027, Ульяновск, ул. Северный Венец, 32

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Алексеенко А. Г. Микросхемотехника / А. Г. Алексеенко. – М. : Радио и связь, 1993. – 550 с. : ил.
2. Цифровые и аналоговые интегральные микросхемы : справочник / под ред. С. В. Якубовского. – М. : Радио и связь, 1992. – 437 с. : ил.
3. Цифровые интегральные микросхемы : справочник / под ред. В. Л. Шило. – Челябинск : Металлургия, 1988. – 360 с.
4. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл ; пер. с англ. – Изд. 6-е. – М. : Мир, 2003. – 704 с. : ил.
5. Гордонов А. Ю. Полупроводниковые БИС ЗУ / А. Ю. Гордонов. – М. : Радио и связь, 1989. – 320 с.
6. Нефедов А. В. Зарубежные микросхемы памяти и их аналоги : справочник-каталог / А. В. Нефедов, А. М. Савченко. – М. : ИП РадиоСофт, 2002–2004 гг. – 18 т.
7. Коффрон Дж. Технические средства микропроцессорных систем / Дж. Коффрон. – М. : Мир, 1987 с. ил.
8. Воробьев Н. В. Микропроцессоры. Элементная база и схемотехника средств сопряжения / Н. В. Воробьев, В. Д. Вернер. – М. : Высшая школа, 1989. – 103 с. : ил.
9. Трасковский А. В. Устройство, модернизация, ремонт IBM PC / А. В. Трасковский. – СПб. : БХВ – Петербург, 2003. – 608 с. : ил.
10. Старостин О. В. Зарубежные микропроцессоры и их аналоги : справочник-каталог : в 10 т. / О. В. Старостин. – М. : ИП РадиоСофт, 2001–2003.
11. Козаченко В. Ф. Микроконтроллеры: руководство по применению 16-разрядных микроконтроллеров Intel MCS-196/296 во встроенных системах управления / В. Ф. Козаченко. – М. : ЭКОМ, 1997. – 688 с. : ил.
12. Алексенко А. Г. Применение прецизионных аналоговых микросхем / А. Г. Алексенко, Е. А. Коломбет, Г. И. Стародуб. – М. : Радио и связь, 1989. – 256 с. : ил.
13. Операционные усилители : справочник / под ред. А. В. Перебаскина. – М. : Физматлит, 1993. – 240 с.
14. Федорков А. П. Микроэлектронные АЦП и ЦАП / А. П. Федорков, П. П. Телец, И. А. Дегтяренко. – М. : Радио и связь, 1989. – 283 с.
15. Интегральные микросхемы: Микросхемы для аналого-цифрового преобразования и средств мультимедиа. – М. : ДОДЭКА, 1996. – 384 с.
16. Нефедов А. В. Взаимозаменяемые интегральные схемы : справочник / А. В. Нефедов. – М. : ИП РадиоСофт, 2003. – 352 с.